

DIALOG(R) File 351:Derwent WPI
(c) 2002 Thomson Derwent. All rts. reserv.

008915748 **Image available**

WPI Acc No: 1992-043017/199206

Related WPI Acc No: 1993-090146; 1993-090315; 1993-090349; 1993-090350;
1993-097641; 1993-097642; 1993-097658; 1993-129886; 1993-408173;
1996-032026; 1997-023495

XRAM Acc No: C92-018886

XRPX Acc No: N92-033090

**Semiconductor member esp. SOI structure prodn. - by bonding non-porous
single crystal region to insulating surface**

Patent Assignee: CANON KK (CANO)

Inventor: YONEHARA T; KOMEHARA T

Number of Countries: 021 Number of Patents: 014

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week	
EP 469630	A	19920205	EP 91113048	A	19910802	199206	B
CA 2048339	A	19920204				199217	
CN 1061871	A	19920610	CN 91108569	A	19910803	199308	
JP 5021338	A	19930129	JP 91194138	A	19910802	199309	
US 5371037	A	19941206	US 91740439	A	19910805	199503	
EP 469630	A3	19941123				199536	
JP 9121039	A	19970506	JP 91194138	A	19910802	199728	N
			JP 96285165	A	19910802		
CA 2048339	C	19971125	CA 2048339	A	19910802	199808	
TW 334578	A	19980621	TW 91106208	A	19910806	199845	
KR 9514609	B1	19951211	KR 9113439	A	19910802	199904	
SG 59963	A1	19990222	SG 966279	A	19910802	199931	
US 6150031	A	20001121	US 91740439	A	19910805	200101	
			US 94297916	A	19940831		
			US 95562644	A	19951127		
			US 96766888	A	19961213		
EP 469630	B1	20020508	EP 91113048	A	19910802	200231	
			EP 95113701	A	19910802		
			EP 96114975	A	19910802		
DE 69133004	E	20020613	DE 633004	A	19910802	200246	
			EP 91113048	A	19910802		

Priority Applications (No Type Date): JP 90206548 A 19900803; JP 96285165 A 19910802

Cited Patents: NoSR.Pub; 4.Jnl.Ref; JP 55016464; US 3997381

Patent Details:

Patent No Kind Lan Pg Main IPC Filing Notes

EP 469630 A

Designated States (Regional): AT BE CH DE ES FR GB IT LI LU NL SE

CN 1061871 A H01L-021/02

JP 5021338 A 35 H01L-021/20

US 5371037 A 35 H01L-021/20

JP 9121039 A 30 H01L-027/12 Div ex application JP 91194138

CA 2048339 C H01L-021/76

TW 334578 A H01L-021/00

KR 9514609 B1 H01L-021/18

SG 59963 A1 H01L-021/76

US 6150031 A B32B-009/00

Div ex application US 91740439

Cont of application US 94297916

Cont of application US 95562644

Div ex patent US 5371037
EP 469630 B1 E H01L-021/76 Related to application EP 95113701
Related to application EP 96114975
Related to patent EP 688048
Related to patent EP 747935
Designated States (Regional): AT BE CH DE DK ES FR GB GR IT LI LU NL SE
DE 69133004 E H01L-021/76 Based on patent EP 469630

Abstract (Basic): EP 469630 A

(A) A semiconductor member is prep'd. by (i) forming a member having a non-porous single crystal semiconductor region on a porous single crystal semiconductor region; (ii) opt. forming an insulating region on the non-porous side of the member; (iii) bonding the surface of a member, with an insulating surface, onto the surface of the non-porous region or the insulating region; and (iv) removing the porous region by etching.

(B) Semiconductor members, obtained by the process, are also claimed.

Pref. the semiconductor is silicon. The porous region may be a p-type region obtained by anodising the non-porous region. The non-porous region is pref. upto 50 microns thick and may be formed by epitaxial growth, MBE, plasma-CVD, LPCVD, photo-CVD, liq. phase growth or bias sputtering. Bonding is pref. carried out in a N₂-contg. atmos..

ADVANTAGE - The process has excellent productivity, uniformity, controllability and economy, produces a single crystal semiconductor layer with excellent crystallinity equivalent to a single crystal SOI wafer, and provides a semiconductor member having excellent characteristics for use instead of expensive SOS or SIMOX structures even in prodn. of LSIs using the SOI structure. (47pp Dwg.No.1,2/13)

Abstract (Equivalent): US 5371037 A

The semiconductor member is produced by (a) forming a member having a non-porous monocrystalline semiconductor region on a porous semiconductor region which maintains the monocrystalline structure, (b) bonding a member with an insulating surface onto the non-porous region, and (c) removing the porous region by etching. The bonding is effected in an N₂-contg. atmos.. The monocrystalline semiconductor is Si, the porous region is P-type and the non-porous region is intrinsic or N-type. The porous region is obtd. by anodising in an HF soln..

USE/ADVANTAGE - Used for an expensive SOS or SIMOX, and in the mfr. of LSI devices utilising an SOI structure. Good productivity, uniformity, controllability and economy are obtd..

Dwg.13f/13

Title Terms: SEMICONDUCTOR; MEMBER; SOI; STRUCTURE; PRODUCE; BOND; NON; POROUS; SINGLE; CRYSTAL; REGION; INSULATE; SURFACE

Derwent Class: L03; P73; U11

International Patent Class (Main): B32B-009/00; H01L-021/00; H01L-021/02; H01L-021/18; H01L-021/20; H01L-021/76; H01L-027/12

International Patent Class (Additional): C30B-019/00; C30B-023/08; C30B-025/00; C30B-025/02; H01L-021/304; H01L-021/306; H01L-021/316; H01L-021/36; H01L-021/365; H01L-021/762

File Segment: CPI; EPI; EngPI

Manual Codes (CPI/A-N): L04-A01; L04-B04; L04-C12; L04-C22; L04-B

Manual Codes (EPI/S-X): U11-C01; U11-C01X; U11-C08A6

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-21338

(43) 公開日 平成5年(1993)1月29日

(51) Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L 21/20		9171-4M		
C 3 0 B 19/00	Z	9151-4G		
23/08	M	9040-4G		
	Z	9040-4G		
25/02	P	9040-4G		

審査請求 未請求 請求項の数127(全 35 頁) 最終頁に続く

(21) 出願番号 特願平3-194138

(22) 出願日 平成3年(1991)8月2日

(31) 優先権主張番号 特願平2-206548

(32) 優先日 平2(1990)8月3日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 米原 隆夫

東京都大田区下丸子3丁目30番2号キヤノ

ン株式会社内

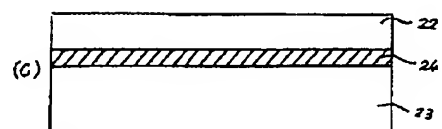
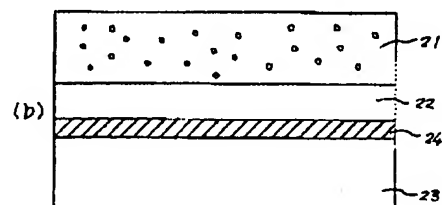
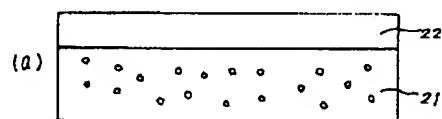
(74) 代理人 弁理士 丸島 備一

(54) 【発明の名称】 半導体部材及び半導体部材の製造方法

(57) 【要約】

【目的】 絶縁体上に結晶性が単結晶ウエハー並に優れた単結晶層を有する半導体部材を提供すること、及び該部材を得るうえで、生産性、均一性、制御性、経済性の面においても優れた方法を提供すること。

【構成】 多孔質単結晶半導体領域上に非多孔質単結晶半導体領域を配した部材を形成し、前記非多孔質単結晶半導体領域の表面に、表面が絶縁性物質で構成された部材の表面を貼り合わせた後、前記多孔質単結晶半導体領域をエッチングにより除去することを特徴とする半導体部材の製造方法。



【特許請求の範囲】

【請求項1】 多孔質単結晶半導体領域上に非多孔質単結晶半導体領域を配した部材を形成し、前記非多孔質単結晶半導体領域の表面に、表面が絶縁性物質で構成された部材の表面を貼り合わせた後、前記多孔質単結晶半導体領域をエッチングにより除去することを特徴とする半導体部材の製造方法。

【請求項2】 前記単結晶半導体はシリコンからなる請求項1に記載の半導体部材の製造方法。

【請求項3】 前記多孔質単結晶半導体領域はP型である請求項1に記載の半導体部材の製造方法。

【請求項4】 前記非多孔質単結晶半導体領域の厚さが50ミクロン以下である請求項1に記載の半導体部材の製造方法。

【請求項5】 前記貼り合わせの工程が窒素を含む雰囲気中で行われる請求項1に記載の半導体部材の製造方法。

【請求項6】 前記貼り合わせの工程が窒素を含む雰囲気中での加熱処理を含む請求項1に記載の半導体部材の製造方法。

【請求項7】 前記非多孔質単結晶半導体領域は、エピタキシャル成長により形成される請求項1に記載の半導体部材の製造方法。

【請求項8】 前記非多孔質単結晶半導体領域は分子線エピタキシャル法、プラズマCVD法、減圧CVD法、光CVD法、液相成長法、バイアス・スパッター法から選ばれる方法によって形成される請求項1に記載の半導体部材の製造方法。

【請求項9】 前記多孔質単結晶半導体領域は陽極化成により非多孔質単結晶半導体領域を多孔質化したものである請求項1に記載の半導体部材の製造方法。

【請求項10】 前記陽極化成はHF溶液中で行われる請求項9に記載の半導体部材の製造方法。

【請求項11】 前記非多孔質単結晶半導体領域は中性あるいはN型である請求項2に記載の半導体部材の製造方法。

【請求項12】 前記N型のシリコンはプロトン照射またはエピタキシャル成長により形成されている請求項11に記載の半導体部材の製造方法。

【請求項13】 前記表面が絶縁性物質で構成された部材は光透過性材料からなる請求項1に記載の半導体部材の製造方法。

【請求項14】 前記表面が絶縁性物質で構成された部材は表面を酸化したシリコン基体である請求項1に記載の半導体部材の製造方法。

【請求項15】 前記多孔質単結晶半導体領域のエッチングは前記貼り合わせられた部材どうしをエッチング防止材料で覆った状態で行われる請求項1に記載の半導体部材の製造方法。

【請求項16】 前記エッチング防止材料は窒化珪素で

ある請求項15に記載の半導体部材の製造方法。

【請求項17】 前記エッチング防止材料はアビエソックスである請求項15に記載の半導体部材の製造方法。

【請求項18】 多孔質単結晶半導体領域上に非多孔質単結晶半導体領域を配した部材を形成し、前記部材の非多孔質層単結晶半導体側に絶縁性物質で構成された領域を形成した後、

前記絶縁性物質で構成された領域の表面に、表面が絶縁性物質で構成された部材の表面を貼り合わせ、前記多孔質単結晶半導体領域をエッチングにより除去することを特徴とする半導体部材の製造方法。

【請求項19】 前記単結晶半導体はシリコンからなる請求項18に記載の半導体部材の製造方法。

【請求項20】 前記多孔質単結晶半導体領域はP型である請求項18に記載の半導体部材の製造方法。

【請求項21】 前記非多孔質単結晶半導体領域の厚さが50ミクロン以下である請求項18に記載の半導体部材の製造方法。

【請求項22】 前記貼り合わせの工程が窒素を含む雰囲気中で行われる請求項18に記載の半導体部材の製造方法。

【請求項23】 前記貼り合わせの工程が窒素を含む雰囲気中での加熱処理を含む請求項18に記載の半導体部材の製造方法。

【請求項24】 前記非多孔質単結晶半導体領域は、エピタキシャル成長により形成される請求項18に記載の半導体部材の製造方法。

【請求項25】 前記非多孔質単結晶半導体領域は分子線エピタキシャル法、プラズマCVD法、減圧CVD法、光CVD法、液相成長法、バイアス・スパッター法から選ばれる方法によって形成される請求項18に記載の半導体部材の製造方法。

【請求項26】 前記多孔質単結晶半導体領域は陽極化成により非多孔質単結晶半導体領域を多孔質化したものである請求項18に記載の半導体部材の製造方法。

【請求項27】 前記陽極化成はHF溶液中で行われる請求項18に記載の半導体部材の製造方法。

【請求項28】 前記非多孔質単結晶半導体領域は中性あるいはN型である請求項19に記載の半導体部材の製造方法。

【請求項29】 前記N型のシリコンはプロトン照射またはエピタキシャル成長により形成されている請求項28に記載の半導体部材の製造方法。

【請求項30】 前記表面が絶縁性物質で構成された部材は光透過性材料からなる請求項18に記載の半導体部材の製造方法。

【請求項31】 前記表面が絶縁性物質で構成された部材は表面を酸化したシリコン基体である請求項18に記載の半導体部材の製造方法。

3

【請求項32】 前記多孔質単結晶半導体領域のエッチングは前記貼り合わせられた部材どうしをエッチング防止材料で覆った状態で行われる請求項18に記載の半導体部材の製造方法。

【請求項33】 前記エッチング防止材料は窒化珪素である請求項32に記載の半導体部材の製造方法。

【請求項34】 前記エッチング防止材料はアビエソノックスである請求項32に記載の半導体部材の製造方法。

【請求項35】 非多孔質単結晶半導体部材を多孔質化して多孔質単結晶半導体領域を形成する工程と、該多孔質単結晶半導体領域上に非多孔質単結晶半導体領域を形成する工程と、該非多孔質単結晶半導体領域の表面に、表面が絶縁性物質で構成された部材を貼り合わせる工程と、前記多孔質単結晶半導体領域をエッチングにより除去する工程と、を有することを特徴とする半導体部材の製造方法。

【請求項36】 前記単結晶半導体はシリコンからなる請求35に記載の半導体部材の製造方法。

【請求項37】 前記多孔質単結晶半導体領域はP型である請求項35に記載の半導体部材の製造方法。

【請求項38】 前記非多孔質単結晶半導体領域の厚さが50ミクロン以下である請求項35に記載の半導体部材の製造方法。

【請求項39】 前記貼り合わせの工程が窒素を含む雰囲気中で行われる請求項35に記載の半導体部材の製造方法。

【請求項40】 前記貼り合わせの工程が窒素を含む雰囲気中で加熱処理を含む請求項35に記載の半導体部材の製造方法。

【請求項41】 前記非多孔質単結晶半導体領域は、エピタキシャル成長により形成される請求項35に記載の半導体部材の製造方法。

【請求項42】 前記非多孔質単結晶半導体領域は分子線エピタキシャル法、プラズマCVD法、減圧CVD法、光CVD法、液相成長法、パイアス・スパッター法から選ばれる方法によって形成される請求項35に記載の半導体部材の製造方法。

【請求項43】 前記多孔質単結晶半導体領域は陽極化により形成されたものである請求項35に記載の半導体部材の製造方法。

【請求項44】 前記陽極化はHF溶液中で行われる請求項43に記載の半導体部材の製造方法。

【請求項45】 前記非多孔質単結晶半導体領域は中性あるいはN型である請求項36に記載の半導体部材の製造方法。

【請求項46】 前記N型のシリコンはプロトン照射またはエピタキシャル成長により形成されている請求項45に記載の半導体部材の製造方法。

4

【請求項47】 前記表面が絶縁性物質で構成された部材は光透過性材料からなる請求項35に記載の半導体部材の製造方法。

【請求項48】 前記表面が絶縁性物質で構成された部材は表面を酸化したシリコン基体である請求項35に記載の半導体部材の製造方法。

【請求項49】 非多孔質単結晶半導体部材を多孔質化して多孔質単結晶半導体領域を形成する工程と、該多孔質単結晶半導体領域上に非多孔質単結晶半導体領域を形成する工程と、該非多孔質単結晶半導体領域側に絶縁性物質で構成された領域を形成する工程と、

該絶縁性物質で構成された領域の表面に、表面が絶縁性物質で構成された部材の表面を貼り合わせる工程と、前記多孔質単結晶半導体領域をエッチングにより除去する工程と、

を有することを特徴とする半導体部材の製造方法。

【請求項50】 前記単結晶半導体はシリコンからなる請求49に記載の半導体部材の製造方法。

【請求項51】 前記多孔質単結晶半導体領域はP型である請求項49に記載の半導体部材の製造方法。

【請求項52】 前記非多孔質単結晶半導体領域の厚さが50ミクロン以下である請求項49に記載の半導体部材の製造方法。

【請求項53】 前記貼り合わせの工程が窒素を含む雰囲気中で行われる請求項49に記載の半導体部材の製造方法。

【請求項54】 前記貼り合わせの工程が窒素を含む雰囲気中で加熱処理を含む請求項49に記載の半導体部材の製造方法。

【請求項55】 前記非多孔質単結晶半導体領域は、エピタキシャル成長により形成される請求項49に記載の半導体部材の製造方法。

【請求項56】 前記非多孔質単結晶半導体領域は分子線エピタキシャル法、プラズマCVD法、減圧CVD法、光CVD法、液相成長法、パイアス・スパッター法から選ばれる方法によって形成される請求項49に記載の半導体部材の製造方法。

【請求項57】 前記多孔質単結晶半導体領域は陽極化により形成されたものである請求項49に記載の半導体部材の製造方法。

【請求項58】 前記陽極化はHF溶液中で行われる請求項57に記載の半導体部材の製造方法。

【請求項59】 前記非多孔質単結晶半導体領域は中性あるいはN型である請求項50に記載の半導体部材の製造方法。

【請求項60】 前記N型のシリコンはプロトン照射またはエピタキシャル成長により形成されている請求項59に記載の半導体部材の製造方法。

【請求項61】 前記表面が絶縁性物質で構成された部

材は光透過性材料からなる請求項49に記載の半導体部材の製造方法。

【請求項62】 前記表面が絶縁性物質で構成された部材は表面を酸化したシリコン基体である請求項49に記載の半導体部材の製造方法。

【請求項63】 第1の非多孔質単結晶半導体領域を部分的に多孔質化して多孔質単結晶半導体領域と、第2の非多孔質単結晶半導体領域を形成する工程と、該多孔質単結晶半導体領域上に第3の非多孔質単結晶半導体領域を形成する工程と、

該第3の非多孔質層単結晶半導体領域の表面に、表面が絶縁性物質で構成された部材の表面を貼り合わせる工程と、

前記第2の非多孔質単結晶半導体を機械的研磨により除去し、前記多孔質単結晶半導体領域をエッチングにより除去する工程と、

を有することを特徴とする半導体部材の製造方法。

【請求項64】 前記単結晶半導体はシリコンからなる請求63に記載の半導体部材の製造方法。

【請求項65】 前記多孔質単結晶半導体領域はP型である請求項63に記載の半導体部材の製造方法。

【請求項66】 前記第3の非多孔質単結晶半導体領域の厚さが50ミクロン以下である請求項63に記載の半導体部材の製造方法。

【請求項67】 前記貼り合わせの工程が窒素を含む雰囲気中で行われる請求項63に記載の半導体部材の製造方法。

【請求項68】 前記貼り合わせの工程が窒素を含む雰囲気中での加熱処理を含む請求項63に記載の半導体部材の製造方法。

【請求項69】 前記第3の非多孔質単結晶半導体領域は、エピタキシャル成長により形成される請求項63に記載の半導体部材の製造方法。

【請求項70】 前記第3の非多孔質単結晶半導体領域は分子線エピタキシャル法、プラズマCVD法、減圧CVD法、光CVD法、液相成長法、パイアス・スパッタ一法から選ばれる方法によって形成される請求項63に記載の半導体部材の製造方法。

【請求項71】 前記多孔質単結晶半導体領域は陽極化成により形成されたものである請求項63に記載の半導体部材の製造方法。

【請求項72】 前記陽極化成はHF溶液中で行われる請求項71に記載の半導体部材の製造方法。

【請求項73】 前記第3の非多孔質単結晶半導体領域は中性あるいはN型である請求項64に記載の半導体部材の製造方法。

【請求項74】 前記N型のシリコンはプロトン照射またはエピタキシャル成長により形成されている請求項73に記載の半導体部材の製造方法。

【請求項75】 前記表面が絶縁性物質で構成された部

材は光透過性材料からなる請求項1に記載の半導体部材の製造方法。

【請求項76】 前記表面が絶縁性物質で構成された部材は表面を酸化したシリコン基体である請求項63に記載の半導体部材の製造方法。

【請求項77】 第1の非多孔質単結晶半導体領域の一部を多孔質化して多孔質単結晶半導体領域と第2の非多孔質単結晶半導体領域を形成する工程と、

該多孔質単結晶半導体領域上に第3の非多孔質単結晶半導体領域を形成する工程と、

該第3の非多孔質単結晶半導体領域間に絶縁性物質で構成された領域を形成する工程と、

該絶縁性物質で構成された領域の表面に、表面が絶縁性物質で構成された部材の表面を貼り合わせる工程と、

前記第2の非多孔質単結晶半導体を機械的研磨により除去し、前記多孔質単結晶半導体領域をエッチングにより除去する工程と、

を有することを特徴とする半導体部材の製造方法。

【請求項78】 前記単結晶半導体はシリコンからなる請求項77に記載の半導体部材の製造方法。

【請求項79】 前記多孔質単結晶半導体領域はP型である請求項77に記載の半導体部材の製造方法。

【請求項80】 前記第3の非多孔質単結晶半導体領域の厚さが50ミクロン以下である請求項77に記載の半導体部材の製造方法。

【請求項81】 前記貼り合わせの工程が窒素を含む雰囲気中で行われる請求項77に記載の半導体部材の製造方法。

【請求項82】 前記貼り合わせの工程が窒素を含む雰囲気中での加熱処理を含む請求項77に記載の半導体部材の製造方法。

【請求項83】 前記第3の非多孔質単結晶半導体領域は、エピタキシャル成長により形成される請求項77に記載の半導体部材の製造方法。

【請求項84】 前記第3の非多孔質単結晶半導体領域は分子線エピタキシャル法、プラズマCVD法、減圧CVD法、光CVD法、液相成長法、パイアス・スパッタ一法から選ばれる方法によって形成される請求項77に記載の半導体部材の製造方法。

【請求項85】 前記多孔質単結晶半導体領域は陽極化成により形成されたものである請求項1に記載の半導体部材の製造方法。

【請求項86】 前記陽極化成はHF溶液中で行われる請求項85に記載の半導体部材の製造方法。

【請求項87】 前記第3の非多孔質単結晶半導体領域は中性あるいはN型である請求項78に記載の半導体部材の製造方法。

【請求項88】 前記N型のシリコンはプロトン照射またはエピタキシャル成長により形成されている請求項8

7

7に記載の半導体部材の製造方法。

【請求項89】 前記表面が絶縁性物質で構成された部材は光透過性材料からなる請求項77に記載の半導体部材の製造方法。

【請求項90】 前記表面が絶縁性物質で構成された部材は表面を酸化したシリコン基体である請求項77に記載の半導体部材の製造方法。

【請求項91】 第1の導電型の第1の単結晶半導体領域上に、第2の導電型の第2の単結晶半導体領域を形成する工程と、

前記第1の単結晶半導体領域を多孔質化して多孔質単結晶半導体領域を形成する工程と、

前記第2の単結晶半導体領域の表面に、表面が絶縁性物質で構成された部材の表面を貼り合わせる工程と、

前記多孔質単結晶半導体領域をエッチングにより除去する工程と、

を有することを特徴とする半導体部材の製造方法。

【請求項92】 前記単結晶半導体はシリコンからなる請求91に記載の半導体部材の製造方法。

【請求項93】 前記第1の非単結晶半導体領域はP型である請求項91に記載の半導体部材の製造方法。

【請求項94】 前記貼り合わせの工程が窒素を含む雰囲気中での加熱処理を含む請求項91に記載の半導体部材の製造方法。

【請求項95】 前記貼り合わせの工程が窒素を含む雰囲気中で行われる請求項91に記載の半導体部材の製造方法。

【請求項96】 前記第2の非多孔質単結晶半導体領域は、エピタキシャル成長により形成される請求項91に記載の半導体部材の製造方法。

【請求項97】 前記第2の非多孔質単結晶半導体領域は分子線エピタキシャル法、プラズマCVD法、減圧CVD法、光CVD法、液相成長法、パイアス・スパッタ法から選ばれる方法によって形成される請求項91に記載の半導体部材の製造方法。

【請求項98】 前記多孔質単結晶半導体領域は陽極化成により形成されたものである請求項91に記載の半導体部材の製造方法。

【請求項99】 前記陽極化成はHF溶液中で行われる請求項98に記載の半導体部材の製造方法。

【請求項100】 前記第2の非多孔質単結晶半導体領域は中性あるいはN型である請求項92に記載の半導体部材の製造方法。

【請求項101】 前記N型のシリコンはプロトン照射またはエピタキシャル成長により形成されている請求項100に記載の半導体部材の製造方法。

【請求項102】 前記表面が絶縁性物質で構成された部材は光透過性材料からなる請求項91に記載の半導体部材の製造方法。

【請求項103】 前記表面が絶縁性物質で構成された

8

部材は表面を酸化したシリコン基体である請求項91に記載の半導体部材の製造方法。

【請求項104】 第1の導電型の第1の単結晶半導体領域上に、第2の導電型の第2の単結晶半導体領域を形成する工程と、

前記第1の単結晶半導体領域を多孔質化して多孔質単結晶半導体領域を形成する工程と、

前記第2の単結晶半導体領域側に絶縁性物質で構成された領域を形成する工程と、

10 前記絶縁性物質で構成された領域の表面に、表面が絶縁性物質で構成された部材を貼り合わせる工程と、

前記多孔質単結晶半導体領域をエッチングにより除去する工程と、

を有することを特徴とする半導体部材の製造方法。

【請求項105】 前記単結晶半導体はシリコンからなる請求104に記載の半導体部材の製造方法。

【請求項106】 前記第1の非単結晶半導体領域はP型である請求項104に記載の半導体部材の製造方法。

【請求項107】 前記非多孔質単結晶半導体領域の厚さが50ミクロン以下である請求項104に記載の半導体部材の製造方法。

【請求項108】 前記貼り合わせの工程が窒素を含む雰囲気中で行われる請求項104に記載の半導体部材の製造方法。

【請求項109】 前記貼り合わせの工程が窒素を含む雰囲気中での加熱処理を含む請求項104に記載の半導体部材の製造方法。

【請求項110】 前記第2の非多孔質単結晶半導体領域は、エピタキシャル成長により形成される請求項104に記載の半導体部材の製造方法。

【請求項111】 前記第2の非多孔質単結晶半導体領域は分子線エピタキシャル法、プラズマCVD法、減圧CVD法、光CVD法、液相成長法、パイアス・スパッタ法から選ばれる方法によって形成される請求項104に記載の半導体部材の製造方法。

【請求項112】 前記多孔質単結晶半導体領域は陽極化成により形成されたものである請求項104に記載の半導体部材の製造方法。

【請求項113】 前記陽極化成はHF溶液中で行われる請求項104に記載の半導体部材の製造方法。

【請求項114】 前記第2の非多孔質単結晶半導体領域は中性あるいはN型である請求項105に記載の半導体部材の製造方法。

【請求項115】 前記N型のシリコンはプロトン照射またはエピタキシャル成長により形成されている請求項114に記載の半導体部材の製造方法。

【請求項116】 前記表面が絶縁性物質で構成された部材は光透過性材料からなる請求項104に記載の半導体部材の製造方法。

【請求項117】 前記表面が絶縁性物質で構成された

部材は表面を酸化したシリコン基体である請求項104に記載の半導体部材の製造方法。

【請求項118】 多孔質単結晶半導体領域上に非多孔質単結晶半導体領域を配した第1の部材と、前記非多孔質単結晶半導体領域の表面に、絶縁性物質で構成された表面が貼り合わせられた第2の部材と、を有することを特徴とする半導体部材

【請求項119】 前記単結晶半導体はシリコンからなる請求項118に記載の半導体部材の製造方法。

【請求項120】 前記多孔質単結晶半導体領域はP型である請求項118に記載の半導体部材。

【請求項121】 前記非多孔質単結晶半導体領域の厚さが50ミクロン以下である請求項118に記載の半導体部材の製造方法。

【請求項122】 多孔質単結晶半導体領域上に非多孔質単結晶半導体領域と、絶縁性物質で構成された領域とをこの順に配した第1の部材と、前記絶縁性物質で構成された領域の表面に、絶縁性物質で構成された領域を介して貼り合わせられた第2の部材と、を有することを特徴とする半導体部材。

【請求項123】 前記単結晶半導体はシリコンからなる請求項122に記載の半導体部材。

【請求項124】 前記多孔質単結晶半導体領域はP型である請求項122に記載の半導体部材。

【請求項125】 前記非多孔質単結晶半導体領域の厚さが50ミクロン以下である請求項122に記載の半導体部材の製造方法。

【請求項126】 絶縁性物質で構成された領域上に非多孔質シリコン単結晶半導体領域を配した半導体部材であって、前記非多孔質シリコン単結晶半導体領域における転移欠陥密度が $2.0 \times 10^4 / \text{cm}^2$ 以下、キャリアのライフタイムが $5.0 \times 10^{-4} \text{sec}$ 以上であることを特徴とする半導体部材。

【請求項127】 絶縁性物質で構成された領域上に非多孔質シリコン単結晶半導体領域を配した半導体部材であって、前記非多孔質シリコン単結晶半導体領域における転移欠陥密度が $2.0 \times 10^4 / \text{cm}^2$ 以下、キャリアのライフタイムが $5.0 \times 10^{-4} \text{sec}$ 以上であり、且つ、前記シリコン単結晶半導体領域の厚みの最大値と最小値の差が前記最大値の10%以下であることを特徴とする半導体部材。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体部材及び半導体部材の製造方法に関する。更に詳しくは、誘電体分離あるいは、絶縁物上の単結晶半導体層に作成される電子デバイス、集積回路に適する半導体部材及び半導体部材の

製造方法に関する。

【0002】

【従来の技術】 絶縁物上の単結晶Si半導体層の形成は、シリコン オン インシュレーター (SOI) 技術として広く知られ、通常のSi集積回路を作製するバルクSi基体では到達し得ない数々の優位点をSOI技術を利用したデバイスが有することから多くの研究がなされてきた。すなわち、SOI技術を利用することで、

1. 誘電体分離が容易で高集積化が可能
 2. 対放射線耐性に優れている
 3. 浮遊容量が低減され高速化が可能
 4. ウエル工程が省略できる
 5. ラッチアップを防止できる
 6. 薄膜化による完全空乏型電界効果トランジスタが可能
- 等の優位点が得られる。

【0003】 上記したようなデバイス特性上の多くの利点を実現するために、ここ数十年に渡り、SOI構造の形成方法について研究されてきている。この内容は、例えば以下の文献にまとめられている。

【0004】 Special Issue: "Single-crystal silicon on non-single-crystal insulators"; edited by G. W. Cullen, Journal of Crystal Growth, volume 63, no 3, pp 429~590 (1983). また、古くは、単結晶サファイア基体上に、SiをCVD (化学気相法) で、ヘテロエピタキシーさせて形成するSOS (シリコンオン サファイア) が知られている。これは、最も成熟したSOI技術として一応の成功を収めたが、Si層と下地サファイア基体界面の格子不整合により大量の結晶欠陥、サファイア基体からのアルミニウムのSi層への混入、そして何よりも基体の高価格と大面積化への遅れにより、その応用の広がりが妨げられている。比較的近年には、サファイア基体を使用せずにSOI構造を実現しようという試みが行われている。この試みは、次の3つに大別される。

【0005】 (1) Si単結晶基体を表面酸化後に、窓を開けてSi基体を部分的に表出させ、その部分をシードとして横方向へエピタキシャル成長させ、 SiO_2 上へSi単結晶層を形成する。(この場合には、 SiO_2 上にSi層の堆積をとまなう。)

(2) Si単結晶基体そのものを活性層として使用し、その下部に SiO_2 を形成する。(この方法は、Si層の堆積をとまなわない。)

(3) Si単結晶基体上へSiのエピタキシャル成長を行った後に、絶縁分離を行うもの。(この方法は、Si層の堆積をとまなう。)

【0006】

【発明が解決しようとする課題】上記(1)を実現する手段として、CVDにより、直接、単結晶層S1を機方向エピタキシャル成長させる方法、非晶質S1を堆積して、熱処理により固相横方向エピタキシャル成長させる方法、非晶質あるいは、多結晶S1層に電子線、レーザー光等のエネルギービームを収束して照射し、熔融再結晶により単結晶層をSiO₂上に成長させる方法、そして、棒状ヒーターにより棒状に熔融領域を走査する方法(Zone melting recrystallization)が知られている。これらの方法にはそれぞれ一長一短があるが、その制御性、生産性、均一性、品質に多大の問題を残しており、いまだに、工業的に実用化したものはない。例えばCVD法は平坦膜化するには、犠牲酸化が必要となり、固相成長法ではその結晶性が悪い。また、ビームアニール法では、収束ビーム走査による処理時間と、ビームの重なり具合、焦点調整などの制御性に問題がある。このうち、Zone Melting Recrystallization法がもっとも成熟しており、比較的大規模な集積回路も試作されているが、依然として、点欠陥、線欠陥、面欠陥(亜粒界)等の結晶欠陥は、多数残留しており、少数キャリアデバイスを作成するにいたっていない。

【0007】上記(2)の方法であるS1基体をエピタキシャル成長の種子として用いない方法について、例えば以下の方法が挙げられる。

【0008】1. V型の溝が表面に異方性エッチングされたS1単結晶基体に酸化膜を形成し、該酸化膜上に多結晶S1層をS1基体と同じ程度に厚く堆積した後、S1基体の裏面から研磨によって、厚い多結晶S1層上にV溝に囲まれて誘電分離されたS1単結晶領域を形成する。この手法に於ては、結晶性は、良好であるが、多結晶S1を数百ミクロンも厚く堆積する工程、単結晶S1基体を裏面より研磨して分離したS1活性層のみを残す工程に、制御性、と生産性の点から問題がある。

【0009】2. サイモックス(SIMOX: Separation by Ion-Implanted oxygen)と称されるS1単結晶基体中に酸素のイオン注入によりSiO₂層を形成する方法であり、S1プロセスと整合性が良いため現在もっとも成熟した手法の一つである。しかしながら、SiO₂層形成をするためには、酸素イオンを 10^{14} ions/cm²以上も注入する必要があるが、その注入時間は長大であり、生産性は高いとはいえず、又、ウエハーコストは高い。更に、結晶欠陥は多く残存し、工業的に見て、少数キャリアデバイスを作製できる十分な品質に至っていない。

【0010】3. 多孔質S1の酸化による誘電体分離によりSOI構造を形成する方法。この方法は、P型S1単結晶基体表面にN型S1層をプロトンイオン注入、(イマイ他、J. Crystal Growth, Vol. 63, 547 (1983))もしくは、エピタキシ

ヤル成長とバターニングによって島状に形成し、表面より、S1島を囲むようにHF溶液中の陽極化法によりP型S1基体のみを多孔質化したのち、増速酸化によりN型S1島を誘電体分離する方法である。本方法では、分離されているS1領域は、デバイス工程のまゝに決定されており、デバイス設計の自由度を制限する場合があるという問題点がある。

【0011】上述の(3)の方法として、特開昭55-16464号公報に記載されているものは、p型S1ウエハー上にN型単結晶S1層を形成し、その上にN型不純物の酸化物を含むガラス層を設け、このガラス層と、別のシリコンウエハー上に設けたN型不純物の酸化物を含むガラス層とを熱処理により貼り合わせる工程を有するものである。そして該貼り合わせ工程に次いでP型S1ウエハーを多孔質化した後、該多孔質層を酸化し、エッチングにより多孔質層を除去してSOI構造を形成するというものである。

【0012】又、特許出願公告53-45675号公報には、シリコン単結晶ウエハーを多孔質化させた後、これを酸化して多孔質層を高抵抗化させ、該多孔質層シリコン層上に単結晶S1層を形成し、単結晶S1層の一部を単結晶S1領域を取り囲むように多孔質化及び高抵抗化させて単結晶S1層を分離させることが開示されている。

【0013】これらの公報に記載された方法は、いずれも多孔質層を酸化させる工程を含んでおり、多孔質層は酸化によって、膨張するため、単結晶S1層に歪みの影響を及ぼす場合があり、これらの方法では必ずしも定量的に良質な単結晶S1層を絶縁体上に形成できるといっわけではなかった。

【0014】(発明の目的)本発明は、上記したような問題点及び上記したような要求に答え得る半導体部材及び該部材を製造する方法を提供することを目的とする。

【0015】また、本発明の別の目的は、絶縁体上に結晶性が単結晶ウエハー並びに優れた単結晶層を有する半導体部材を提供すること、及び該部材を得るうえで、生産性、均一性、制御性、経済性の面においても優れた方法を提供することである。

【0016】本発明の更に別の目的は、SOI構造の大規模集積回路を作製する際にも、高価なSOSや、SIMOXの代替するに足り得る優れた特性を有する半導体部材及び該部材を短時間に経済性よく製造する方法を提供することである。

【0017】本発明の半導体部材の好ましいものは以下のとおりである。

【0018】本発明の半導体部材は、多孔質単結晶半導体領域上に非多孔質単結晶半導体領域を配した第1の部材と、前記非多孔質単結晶半導体領域の表面に、絶縁性物質で構成された表面が貼り合わせられた第2の部材と、を有することを特徴とする。

【0019】又、別に、多孔質単結晶半導体領域上に非多孔質単結晶半導体領域と、絶縁性物質で構成された領域とをこの順に配した第1の部材と、前記絶縁性物質で構成された領域の表面に、絶縁性物質で構成された領域を介して貼り合わせられた第2の部材と、を有することを特徴とする。

【0020】又、別に、絶縁物質で構成された領域上に非多孔質シリコン単結晶半導体領域を配した半導体部材であって、前記非多孔質シリコン単結晶半導体領域における転移欠陥密度が $2.0 \times 10^4 / \text{cm}^2$ 以下、キャリアのライフタイムが $5.0 \times 10^{-4} \text{sec}$ 以上であることを特徴とする。

【0021】又、別に、絶縁性物質で構成された領域上に非多孔質シリコン単結晶半導体領域を配した半導体部材であって、前記非多孔質シリコン単結晶半導体領域における転移欠陥密度が $2.0 \times 10^4 / \text{cm}^2$ 以下、キャリアのライフタイムが $5.0 \times 10^{-4} \text{sec}$ 以上であり、且つ、前記シリコン単結晶半導体領域の厚みの最大値と最小値の差が前記最大値の15%以下であることを特徴とする。

【0022】本発明の半導体部材の製造方法の好ましいものは以下のとおりである。

【0023】本発明の半導体部材の製造方法は、多孔質単結晶半導体領域上に非多孔質単結晶半導体領域を配した部材を形成し、前記非多孔質単結晶半導体領域の表面に、表面が絶縁性物質で構成された部材の表面を貼り合わせた後、前記多孔質単結晶半導体領域をエッチングにより除去することを特徴とする。

【0024】又、別に、多孔質単結晶半導体領域上に非多孔質単結晶半導体領域を配した部材を形成し、前記部材の非多孔質層単結晶半導体側に絶縁性物質で構成された領域を形成した後、前記絶縁性物質で構成された領域の表面に、表面が絶縁性物質で構成された部材の表面を貼り合わせ、前記多孔質単結晶半導体領域をエッチングにより除去することを特徴とする。

【0025】又、別に、非多孔質単結晶半導体部材を多孔質化して多孔質単結晶半導体領域を形成する工程と、該多孔質単結晶半導体領域上に非多孔質単結晶半導体領域を形成する工程と、該非多孔質単結晶半導体領域の表面に、表面が絶縁性物質で構成された部材を貼り合わせる工程と、前記多孔質単結晶半導体領域をエッチングにより除去する工程と、を有することを特徴とする。

【0026】又、別に、非多孔質単結晶半導体部材を多孔質化して多孔質単結晶半導体領域を形成する工程と、該多孔質単結晶半導体領域上に非多孔質単結晶半導体領域を形成する工程と、該非多孔質単結晶半導体領域側に絶縁性物質で構成された領域を形成する工程と、該絶縁性物質で構成された領域の表面に、表面が絶縁性物質で構成された部材の表面を貼り合わせる工程と、前記多孔質単結晶半導体領域をエッチングにより除去する工程

と、を有することを特徴とする。

【0027】又、別に、第1の非多孔質単結晶半導体領域を部分的に多孔質化して多孔質単結晶半導体領域と、第2の非多孔質単結晶半導体領域を形成する工程と、該多孔質単結晶半導体領域上に第3の非多孔質単結晶半導体領域を形成する工程と、該第3の非多孔質層単結晶半導体領域の表面に、表面が絶縁性物質で構成された部材の表面を貼り合わせる工程と、前記第2の非多孔質単結晶半導体領域を研削により除去し、前記多孔質単結晶半導体領域をエッチングにより除去する工程と、を有することを特徴とする。

【0028】又、別に、第1の非多孔質単結晶半導体領域の一部を多孔質化して多孔質単結晶半導体領域と第2の非多孔質単結晶半導体領域を形成する工程と、該多孔質単結晶半導体領域上に第3の非多孔質単結晶半導体領域を形成する工程と、該第3の非多孔質単結晶半導体領域側に絶縁性物質で構成された領域を形成する工程と、該絶縁性物質で構成された領域の表面に、表面が絶縁性物質で構成された部材の表面を貼り合わせる工程と、前記第2の非多孔質単結晶半導体領域を研削により除去し、前記多孔質単結晶半導体領域をエッチングにより除去する工程と、を有することを特徴とする。

【0029】又、別に、第1の導電型の第1の単結晶半導体領域上に、第2の導電型の第2の単結晶半導体領域を形成する工程と、前記第1の単結晶半導体領域を多孔質化して多孔質単結晶半導体領域を形成する工程と、前記第2の単結晶半導体領域の表面に、表面が絶縁性物質で構成された部材の表面を貼り合わせる工程と、前記多孔質単結晶半導体領域をエッチングにより除去する工程と、を有することを特徴とする。

【0030】又、別に、第1の導電型の第1の単結晶半導体領域上に、第2の導電型の第2の単結晶半導体領域を形成する工程と、前記第1の単結晶半導体領域を多孔質化して多孔質単結晶半導体領域を形成する工程と、前記第2の単結晶半導体領域側に絶縁性物質で構成された領域を形成する工程と、前記絶縁性物質で構成された領域の表面に、表面が絶縁性物質で構成された部材を貼り合わせる工程と、前記多孔質単結晶半導体領域をエッチングにより除去する工程と、を有することを特徴とする。

【0031】

【作用】本発明の半導体部材は、絶縁物上にキャリアライフタイムが大きく、欠陥の極めて少ない単結晶半導体領域を、優れた膜厚の均一性をもって有するものであり、種々の半導体デバイスに應用可能なものである。又、本発明の半導体部材は高速応答が可能で、信頼性に富んだ半導体デバイスに應用可能である。又、本発明の半導体部材は高価なSOSやSIMOXの代替足り得るものである。

【0032】本発明の半導体部材の製造方法は、絶縁物

上に結晶性が単結晶ウエハー並に優れたSi結晶層を得るうえで、生産性、均一性、制御性、経済性の面において卓越した方法を提供するものである。

【0033】更に、本発明の半導体部材の製造方法によれば、従来のSOIデバイスの利点を実現し、応用可能な半導体部材の製造方法を提供することができる。

【0034】また、本発明の半導体部材の製造方法によれば、SOI構造の大規模集積回路を作製する際にも、高価なSOSや、SIMOXの代替足り得る半導体部材の製造方法を提供することができる。

【0035】本発明の半導体部材の製造方法は、実施例にも詳細に記述したように、処理を短時間に効率良く行うことが可能となり、その生産性と経済性に優れている。

【0036】

【実施態様例】以下、半導体材料としてシリコンを例に挙げ、具体的に本発明を説明するが、本発明における半導体材料はシリコンのみに何等限定されるものではない。

【0037】多孔質Si層には、透過電子顕微鏡による観察によれば、平均約600Å程度の径の孔が形成されており、その密度は単結晶Siに比べると、半分以下になるにもかかわらず、単結晶性は維持されている。単結晶とは、任意の結晶軸に注目したとき、試料のどの部分においてもその向きが同一であるような結晶質固体をいうが、本発明で使用する多孔質層は孔があいてはいるものの、結晶質領域の結晶軸は、どの部分でも方向が同一であり、単結晶である。そして、多孔質層の上へ単結晶Si層をエピタキシャル成長させることは、可能である。但し、温度1000℃以上では、内部の穴の周囲に位置する原子の再配列が起こり、増速エッチングの特性が損なわれることがある。このため、本発明においてSi層のエピタキシャル成長には、分子線エピタキシャル成長、プラズマCVD、減圧CVD法、光CVD、パイアス・スパッタ法、液相成長法等の低温成長可能な結晶成長法が好適に用いられる。

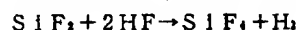
【0038】多孔質層はその内部に多量の空隙が形成されてために、密度が半分以下に減少し得る。その結果、単位体積あたりの表面積（比表面積）が飛躍的に増大するため、その化学エッチング速度は、通常の非多孔質単結晶層のエッチング速度に比べて著しく増速される。本発明は前述した多孔質化した半導体の2つの特性、即ち単結晶性が維持され、前記多孔質化した半導体基体上に非多孔質半導体単結晶をエピタキシャル成長し得ること、及び非多孔質単結晶と比較して著しくエッチング速度が速いこと、を利用するものであり、絶縁性材料表面を有する基体上に高品質の非多孔質半導体単結晶層を短時間に形成し得る。

【0039】多孔質層は、下記の理由により、N型Si層よりもP型Si層に形成されやすい。まず多孔質Si

は、Uhliir等によって1956年に半導体の電解研磨の研究過程に於て発見された(A. Uhliir, Bell Syst. Tech. J., vol 35, p. 333 (1956))。

【0040】ウナガミ等は、陽極化成におけるSiの溶解反応を研究し、HF溶液中のSiの陽極反応には正孔が必要であり、その反応は、次のようであると報告している(T. ウナガミ: J. Electrochem. Soc., vol. 127, p. 476 (1980))。

【0041】即ち、



または、



【0042】ここで e^- 及び e^- はそれぞれ、正孔と電子を表わしている。また、 n 及び λ はそれぞれシリコン1原子が溶解するために必要な正孔の数であり、 $n > 2$ 又は $\lambda > 4$ なる条件が満たされた場合に多孔質シリコンが形成されるとしている。

【0043】以上のことから、正孔の存在するP型シリコンは、逆特性のN型シリコンよりも多孔質化されやすい。この多孔質化における、選択性は長野及び、イマイによって実証されている(長野、中島、安野、大中、梶原; 電子通信学会技術研究報告, vol 79, SS D 79-9549 (1979), (K. イマイ; Solid-State Electronics Vol 24, 159 (1981))。しかし、条件の設定によってはN型シリコンをも多孔質化することができる。

【0044】以下、図面を参照しながら、本発明を具体的に説明する。

【0045】【実施態様例1】P型基体の全てを多孔質化し、単結晶層をエピタキシャル成長させて半導体基体を得る方法について説明する。

【0046】図1(a)に示すように、まず、P型Si単結晶基体を用意して、その全部を多孔質化する。前述の低温成長可能な結晶成長法により、多孔質化した基体表面にエピタキシャル成長を行ない、薄膜単結晶層22を形成する。前記P型Si基体は、HF溶液を用いた陽極化成法によって、多孔質化させる。この多孔質Si層21は、単結晶Siの密度 2.33 g/cm^3 に比べて、その密度をHF溶液濃度を50~20%に変化させることで密度 $1.1 \sim 0.6\text{ g/cm}^3$ の範囲に変化させることができる。

【0047】次いで、図1(b)に示すように、もう一つのSi基体23を用意して、その表面に酸化層24を形成した後、多孔質Si基体21上の単結晶Si層22表面に該酸化層24を表面に持つSi基体23を貼り合わせる。この後に、図1(c)に示すように、多孔質Si

i 基体 21 を全部エッチング除去して SiO_2 層 24 上に薄膜化した単結晶シリコン層 22 を残存させ形成する。本発明においては、多孔質半導体層に酸化処理を施すことなく多孔質半導体層をエッチング除去するため、多孔質半導体層の酸化膨張が防げ、エピタキシャル成長した単結晶層への歪みの影響を防ぐことができる。この方法によれば、絶縁物である酸化 Si 層 24 上に結晶性がシリコンウエハーと同等な単結晶 Si 層 22 が、平坦に、しかも均一に薄膜化されて、ウエハー全域に、大面積に形成される。こうして得られた半導体基体は、絶縁分離された電子素子作製という点においても、好適に使用することができる。

【0048】ここで多孔質半導体基体上に形成する非多孔質半導体結晶層の厚さは薄膜半導体デバイスを前記半導体単結晶層を形成するために、好ましくは $50\mu m$ 以下、より好ましくは $20\mu m$ 以下とするのが望ましい。

【0049】また、前記非多孔性半導体単結晶と絶縁性材料表面を有する基体との貼り付けは空素、不活性ガス又はこれ等の混合気体雰囲気中、あるいは不活性ガス又は空素を含有する雰囲気中に行うことが好ましく、更に加熱状態で行うことが望ましい。

【0050】前記絶縁性材料表面を有する基体上に貼り合わせられた前記非多孔性半導体単結晶層を残して前記多孔質化した半導体基体を選択的にエッチングするエッチャントとしては例えば水酸化ナトリウム水溶液、水酸化カリウム水溶液、フッ酸-硝酸-酢酸混合溶液等のエッチャントが挙げられる。

【0051】また、本発明で用いることのできる絶縁性材料を有する基体とは、少なくともその表面が絶縁性材料で構成されたもの、あるいは基体全体が絶縁性材料で構成されたものであってもよい。表面が絶縁性材料で構成された基体の例としては、単結晶または多結晶のシリコン基体の表面を酸化したもの、導電性または半導体性の基体表面に酸化物、窒化物、ホウ化物等の絶縁材料の層を形成したものなどが挙げられる。また、基体全体が絶縁性材料で構成された基体の具体的な例としては、石英ガラス、焼結アルミナ、等の絶縁材料からなる基体が挙げられる。

【0052】ところで、本実施態様例 1 においては、多孔質半導体基体上に非多孔質半導体単結晶層を形成する例を示したが、本発明は前記の実施態様例 1 の形態にのみ限定されるのではなく、多孔質化され難い材料（例えば N 型シリコン）からなる単結晶層と多孔質化されやすい材料（例えば P 型シリコン）からなる層とを有する基体に多孔質化処理を行い、非多孔性半導体単結晶層を有する多孔質半導体基体を形成しても良い。

【0053】また、多孔質半導体基体をエッチングにより除去する工程において、非多孔性半導体単結晶層及び絶縁性材料表面を有する基体がエッチャントにより悪影響を受けることがないように、エッチング処理の際、多

孔質半導体基体を除いてエッチング防止材料で覆っても良い。

【0054】このように形成された絶縁物上の非多孔性単結晶層はキャリアのライフタイムに関して $5 \cdot 0 \times 10^{-4} sec$ 以上のものとなり得、 $SiMOX$ で得られる半導体単結晶層に比べて貫通転移等の結晶欠陥の著しく少ないものであると共に、半導体単結晶層の厚層の分布も極めて小さいものである。

【0055】具体的には、転移欠陥密度は、 $2 \times 10^4 / cm^2$ 以下となり、半導体単結晶層の厚層に関しては半導体単結晶層表面の面積 $20 cm^2 \sim 500 cm^2$ （2 インチウエハー～10 インチウエハー）の範囲内において、半導体単結晶層の厚みの最大値と厚みの最小値の差を厚みの最大値に対して 10% 以下に抑えることができる。

【0056】以下、他の実施態様例を示す。

【0057】【実施態様例 2】以下、実施態様例 2 を図 2 を参照しながら詳述する。

【0058】先ず、図 2 (a) に示されるように種々の薄膜成長法によるエピタキシャル成長により低不純物濃度層 122 を形成する。或いは、 P 型 Si 単結晶基体 121 の表面をプロトンやイオン注入して N 型単結晶層 122 を形成する。

【0059】次に、図 2 (b) に示されるように P 型 Si 単結晶基体 121 を裏面より HF 溶液を用いた陽極化成法によって、多孔質 Si 基体 123 に変質させる。この多孔質 Si 層 123 は、単結晶 Si の密度 $2.33 g/cm^3$ に比べて、その密度を HF 溶液濃度を $50 \sim 20\%$ に変化させることで密度 $1.1 \sim 0.6 g/cm^3$ の範囲に変化させることができる。この多孔質層は、上述したように、 P 型基体に形成される。

【0060】図 2 (c) に示すように、もう一つの Si 基体 124 を用意して、その表面に酸化層 125 を形成した後、多孔質 Si 基体 123 上の単結晶 Si 層 122 表面に該酸化層 125 を表面に持つ Si 基体 124 を貼り合わせる。

【0061】この後に、多孔質 Si 基体 123 を全部エッチングして SiO_2 層 125 上に薄膜化した単結晶シリコン層 122 を残存させ半導体基体を形成する。

【0062】この方法によれば、絶縁物である酸化層 125 上に結晶性がシリコンウエハーと同等な単結晶 Si 層 122 が、平坦に、しかも均一に薄膜化されて、ウエハー全域に、大面積に形成される。

【0063】こうして得られた半導体基体は、絶縁分離された電子素子作製という点においても、好適に使用することができる。

【0064】以上実施態様例 2 は、多孔質化を行う前に P 型基体に N 型層を形成し、その後、陽極化成により選択的に、 P 型基体のみを多孔質化する方法の例である。本実施態様例においても、実施態様例 1 と同様な性能の

半導体単結晶層を有する半導体基体が得られる。

【0065】【実施態様例3】図3(a)に示すように、まず、P型Si単結晶基体を用意して、その全部を多孔質化する。種々の成長法により、エピタキシャル成長を多孔質化した基体表面に行い、薄膜単結晶層12を形成する。

【0066】図3(b)に示すように、もう一つのSi基体13を用意して、その表面に酸化層14を形成した後、多孔質Si基体11上の単結晶Si層12表面に酸化層14を表面に持つSi基体を貼り合わせる。

【0067】次に、図3(b)に示すように、エッチング防止膜として、Si₃N₄層5を、貼り合わせた2枚のシリコンウエハー全体を被覆して堆積させる。次いで図3(c)に示したように、多孔質シリコン基体の表面上のSi₃N₄層を除去する。他のエッチング防止膜材料としてSi₃N₄の代わりに、アビエゾンワックスを用いても良い。この後に、多孔質Si基体11を全部エッチングしてSiO₂層14上に薄膜化した単結晶シリコン層12を残存させ半導体基体を形成する。

【0068】図3(c)には本発明で得られる半導体基体が示される。すなわち、図3(b)におけるエッチング防止膜としてのSi₃N₄層15を除去することによって、絶縁物であるSiO₂層14を介したSi基体13上に結晶性がシリコンウエハーと同等な単結晶Si層2が、平坦に、しかも均一に薄膜化されて、ウエハー全域に、大面積に形成される。こうして得られた半導体基体は、絶縁分離された電子素子作製という点から見ても好適に使用することができる。本実施態様例においても、実施態様例1と同様な性能の半導体単結晶層を有する半導体基体が得られる。

【0069】【実施態様例4】以下、本発明の実施態様例4を図4を参照しながら詳述する。

【0070】まず、図4(a)に示されるように種々の薄膜成長法によるエピタキシャル成長により低不純物濃度層112を形成する。或いは、P型Si単結晶基体111の表面をプロトンやイオン注入してN型単結晶層112を形成する。

【0071】次に、図4(b)に示されるようにP型Si単結晶基体111を裏面よりHF溶液を用いた陽極化成法によって、多孔質Si基体113に変質させる。この多孔質Si層113は、単結晶Siの密度2.33g/cm³に比べて、その密度をHF溶液濃度を50~20%に変化させることで密度1.1~0.6g/cm³の範囲に変化させることができる。この多孔質層113は、上述したように、P型基体に形成される。

【0072】図4(c)に示すように、もう一つのSi基体114を用意して、その表面に酸化層115を形成した後、多孔質Si基体113上の単結晶Si層112表面に酸化層115を表面に持つSi基体114を貼り合わせる。

【0073】ここで、図4(c)に示すように、エッチング防止膜116として、Si₃N₄層116を、貼り合わせた2枚のシリコンウエハー全体を被覆して堆積させる。次いで図4(c)に示したように、多孔質シリコン基体の表面上のSi₃N₄層を除去する。他のエッチング防止膜116としてSi₃N₄の代わりに、アビエゾンワックスなどの耐エッチング性に優れた材料を用いても良い。この後に、多孔質Si基体113を全部エッチングしてSiO₂層115上に薄膜化した単結晶シリコン層112を残存させ半導体基体を形成する。図4(d)には本発明で得られる半導体層を有する基体が示される。すなわち、図4(c)に示したエッチング防止膜116としてのSi₃N₄層116を除去することによって、絶縁物であるSiO₂層115上に結晶性がシリコンウエハーと同等な単結晶Si層112が、平坦に、しかも均一に薄膜化されて、ウエハー全域に、大面積に形成される。

【0074】こうして得られた半導体基体は、エッチャントによる悪影響も受けることなく、絶縁分離された電子素子作製という点においても好適に使用することができる。又、本実施態様例で得られる半導体基体は、実施態様例1のものと同様な性能のものである。

【0075】【実施態様例5】図5(a)に示すように、まず、P型Si単結晶基体を用意して、その全部を多孔質化する。種々の成長法により、エピタキシャル成長を多孔質化した基体表面に行い、薄膜単結晶層32を形成する。

【0076】図5(b)に示すように、もう一つのSi基体33を用意して、その表面に酸化層34を形成した後、多孔質Si基体31上の単結晶Si層32上に形成した酸化層36表面に、該酸化層34を表面に持つSi基体33を貼り合わせる。この貼り合わせ工程は、洗浄した表面同士を密着させ、その後、不活性ガス雰囲気あるいは、窒素雰囲気中で加熱することによって行われる。又、酸化層34は、最終的な活性層である非多孔質単結晶層32の界面準位を低減させるために形成する。

図5(b)に示すように、エッチング防止膜として、Si₃N₄層35を堆積させて、貼り合わせた2枚のシリコンウエハー全体を被覆する。次いで図5(c)に示すように、多孔質シリコン基体31の表面上のSi₃N₄層35を除去する。他のエッチング防止膜材料としてSi₃N₄の代わりに、アビエゾンワックスなどを用いても良い。この後に、多孔質Si基体31を全部エッチングしてSiO₂層上に薄膜化した単結晶シリコン層32を残存させ半導体基体を形成する。

【0077】図5(c)には本発明で得られる半導体層を有する基体が示される。すなわち、図5(b)に示したエッチング防止膜としてのSi₃N₄層35を除去することによって、SiO₂層34、36を介してSi基体33上に結晶性がシリコンウエハーと同等な単結晶Si

層32が、平坦に、しかも均一に薄層化されて、ウエハー全域に、大面積に形成される。こうして得られた半導体基体は、絶縁分離された電子素子作製という点においても好適に使用することができる。又、本実施態様例で得られる半導体基体は、実施態様例1のものと同様な性能のものである。

【0078】【実施態様例6】以下、本発明の実施態様例6を図6を参照しながら詳述する。

【0079】まず、図6(a)に示されるように種々の薄膜成長法によるエピタキシャル成長により低不純物濃度層132を形成する。或いは、P型Si単結晶基体131の表面をプロトンイオン注入してN型単結晶層132を形成する。

【0080】次に、図6(b)に示されるようにP型Si単結晶基体131を裏面よりHF溶液を用いた陽極化成法によって、多孔質Si基体133に変質させる。この多孔質Si層133は単結晶Siの密度 2.33 g/cm^3 に比べて、その密度をHF溶液濃度を50~20%に変化させることで密度 $1.1\sim0.6\text{ g/cm}^3$ の範囲に変化させることができる。この多孔質層は、上述したように、P型基体に形成される。

【0081】図6(c)に示すように、もう一つのSi基体134を用意して、その表面に酸化層135を形成した後、多孔質Si基体133上の単結晶Si層132上に形成した酸化層137の表面に該酸化層135を持つSi基体134を貼りつける。

【0082】次いで、エッチング防止膜136として、 Si_3N_4 層136を、貼り合わせた2枚のシリコンウエハー全体に被覆して堆積させる。この後、図6(d)に示すように、多孔質シリコン基体133の表面上の Si_3N_4 層136を除去する。この後に、多孔質Si基体131を全部化学的にエッチングして SiO_2 層135、137上に薄層化した単結晶シリコン層を残存させ半導体基体を形成する。

【0083】こうして得られた半導体基体は、各層間密着性に優れ、絶縁分離された電子素子作製という点からしても好適に使用することができる。又、本実施態様例で得られる半導体基体は、実施態様例1のものと同様な性能のものである。

【0084】【実施態様例7】図7(a)に示すように、まず、P型Si単結晶基体を用意して、その全部を多孔質化する。種々の成長法により、エピタキシャル成長を多孔質化した基体表面に行い、薄膜単結晶層42を形成する。図7(b)に示すように、もう一つのSi基体43を用意して、その表面に酸化層44を形成した後、多孔質Si基体41上の単結晶Si層42上に形成した酸化層45表面に、前記酸化層44を表面に持つSi基体43を貼り合わせる。この貼り合わせ工程は、洗浄した表面同志を密着させ、その後、不活性ガス雰囲気あるいは、窒素雰囲気中で加熱することによって行われ

る。又、酸化層44は、最終的な半導体としての活性層である単結晶層42の界面準位を低減させるために形成する。図7(c)に示すように、多孔質Si基体41を全部エッチングして、 SiO_2 層44、45上に薄層化した単結晶シリコン層を残存させ、半導体基体を形成する。図7(c)には本発明で得られる半導体基体が表示される。

【0085】 SiO_2 層44、45を介してSi基体43上に結晶性がシリコンウエハーと同等な単結晶Si層42が、平坦に、しかも均一に薄層化されて、ウエハー全域に、大面積に形成される。こうして得られた半導体基体は、絶縁分離された電子素子作製という点からしても好適に使用することができる。又、本実施態様例で得られる半導体基体は、実施態様例1のものと同様な性能を有するものである。

【0086】【実施態様例8】以下、本発明の実施態様例8を図8を参照しながら詳述する。

【0087】まず、図8(a)に示されるように種々の薄膜成長法によるエピタキシャル成長により低不純物濃度層142を形成する。或いは、P型Si単結晶基体141の表面をプロトンイオン注入してN型単結晶層142を形成する。

【0088】次に、図8(b)に示されるようにP型Si単結晶基体141を裏面よりHF溶液を用いた陽極化成法によって、多孔質Si基体143に変質させる。この多孔質Si層143は単結晶Siの密度 2.33 g/cm^3 に比べて、その密度をHF溶液濃度を50~20%に変化させることで密度 $1.1\sim0.6\text{ g/cm}^3$ の範囲に変化させることができる。この多孔質層は、上述したように、P型基体141に形成される。

【0089】図8(c)に示すように、もう一つのSi基体144を用意して、その表面に酸化層145を形成した後、多孔質Si基体143上の単結晶Si層142上に形成した酸化層146の表面に、前記酸化層145を持つSi基体144を貼り合わせる。

【0090】その後、多孔質シリコン基体を全部化学的にエッチングして SiO_2 層145、146上に薄層化した単結晶シリコン層を残存させ半導体基体を形成する。

【0091】図8(d)には本発明で得られる半導体基体が表示される。 SiO_2 層145、146を介してSi基体144上に結晶性がシリコンウエハーと同等な単結晶Si層142が、平坦に、しかも均一に薄層化されて、ウエハー全域に、大面積に形成される。

【0092】こうして得られた半導体基体は、絶縁分離された電子素子作製という点からしても好適に使用することができる。又、本実施態様例で得られる半導体基体は、実施態様例1のものと同様な性能を有するものである。

【0093】【実施態様例9】図9(a)に示すよう

23

に、先ず、P型Si単結晶基体を用意して、その全部を多孔質化する。種々の成長法により、エピタキシャル成長を多孔質化した基体51表面に行い、薄膜単結晶層52を形成する。

【0094】図9(b)に示すように、ガラスに代表される光透過性基体53を用意して、多孔質Si基体51上の単結晶Si層52の表面に該光透過性基体53を貼り合わせる。

【0095】ここで、図9(b)に示すように、エッチング防止膜54として、Si₃N₄層54を、貼り合わせた2枚の基体全体を被覆して堆積させる。次いで図9(c)に示すように、多孔質シリコン基体の表面上のSi₃N₄層54を除去する。この後に、多孔質Si基体51を全部エッチング除去して光透過性基体53上に薄膜化した単結晶シリコン層52を残存させ半導体基体を形成する。図9(c)には本発明で得られる半導体基体が表示される。こうして得られた半導体基体は、光透過性の絶縁材料で絶縁分離された電子素子作製という点からしても好適に使用することができる。又、本実施態様例で得られる半導体基体は、実施態様例1のものと同様な性能を有するものである。

【0096】【実施態様例10】以下、本発明の実施態様例10を図10を参照しながら詳述する。

【0097】先ず、図10(a)に示されるように種々の薄膜成長法によるエピタキシャル成長により低不純物濃度層152を形成する。或いは、P型Si単結晶基体151の表面をプロトンやイオン注入してN型単結晶層152を形成する。

【0098】次に、図10(b)に示されるようにP型Si単結晶基体151を裏面よりHF溶液を用いた陽極化成法によって、多孔質Si基体153に変質させる。この多孔質Si層153は単結晶Siの密度2.33g/cm³に比べて、その密度をHF溶液濃度を50~20%に変化させることで密度1.1~0.6g/cm³の範囲に変化させることができる。この多孔質層153は、上述したように、P型基体151に形成される。

【0099】図10(c)に示すように、光透過性基体154を用意して、多孔質Si基体153上の単結晶Si層152の表面に該光透過性基体154を貼り合わせる。次いで、図10(c)に示すように、エッチング防止膜155として、Si₃N₄層などを、貼り合わせた2枚の基体全体を被覆して堆積させる。続いて図10(d)に示すように、多孔質シリコン基体153の表面上のSi₃N₄層155を除去する。この後に、多孔質Si基体153を全部エッチング除去して光透過性基体154上に薄膜化した単結晶シリコン層152を残存させ、半導体基体を形成する。

【0100】図10(d)には本発明で得られる半導体基体が表示される。それは、光透過性基体154上に結晶性がシリコンウエハーと同等な単結晶Si層152が、

24

平坦に、しかも均一に薄膜化されて、ウエハー全域に、大面積に形成されたものである。

【0101】こうして得られた半導体基体は、光透過性の絶縁材料で絶縁分離された電子素子作製という点からしても好適に使用することができる。又、本実施態様例で得られる半導体基体は、実施態様例1のものと同様な性能を有するものである。

【0102】【実施態様例11】図11(a)に示すように、先ず、P型Si単結晶基体を用意して、その全部を多孔質化する。種々の成長法により、エピタキシャル成長を多孔質化した基体61表面に行い、薄膜単結晶層62を形成する。

【0103】図11(b)に示すように、ガラスに代表される光透過性基体63を用意して、多孔質Si基体61上の単結晶Si層62の表面に該光透過性基体63を貼り合わせる。

【0104】この後に、多孔質Si基体61を全部エッチングして光透過性基体63上に薄膜化した単結晶シリコン層62を残存させ、半導体基体を形成する。

【0105】図11(c)には本発明で得られる半導体基体が表示される。それは、光透過性基体63上に結晶性がシリコンウエハーと同等な単結晶Si層62が、平坦に、しかも均一に薄膜化されて、ウエハー全域に、大面積に形成されたものである。こうして得られた半導体基体は、光透過性絶縁材料で絶縁分離された電子素子作製という点からしても好適に使用することができる。

【0106】【実施態様例12】以下、本発明の実施態様例12を図12を参照しながら詳述する。

【0107】先ず、図12(a)に示されるように種々の薄膜成長法によるエピタキシャル成長により低不純物濃度層162を形成する。或いは、P型Si単結晶基体161の表面をプロトンやイオン注入してN型単結晶層162を形成する。

【0108】次に、図12(b)に示されるようにP型Si単結晶基体161を裏面よりHF溶液を用いた陽極化成法によって、多孔質Si基体163に変質させる。この多孔質Si層163は単結晶Siの密度2.33g/cm³に比べて、その密度をHF溶液濃度を50~20%に変化させることで密度1.1~0.6g/cm³の範囲に変化させることができる。この多孔質層163は、上述したように、P型基体161に形成される。

【0109】図12(c)に示すように、光透過性基体164を用意して、多孔質Si基体163上の単結晶Si層162の表面に該光透過性基体164を貼り合わせる。図12(c)に示すように、多孔質Si基体163を全部エッチング除去して光透過性基体164上に薄膜化した単結晶シリコン層162を残存させ、半導体基体を形成する。

【0110】図12(d)には本発明で得られる半導体基体が表示される。それは、光透過性基体164上に結晶

性がシリコンウエハーと同等な単結晶Si層162が、平坦に、しかも均一に薄層化されて、ウエハー全域に、大面積に形成されたものである。

【0111】こうして得られた半導体基体は、光透過性絶縁材料で絶縁分離された電子素子作製という点からしても好適に使用することができる。又、本実施態様例で得られる半導体基体は、実施態様例1のものと同様な性能を有するものである。

【0112】【実施態様例13】図13を用いて説明する。図13(a)に示すように、先ず、Si単結晶基体1300の1部に多孔質領域1301を形成する。次いで該多孔質領域1301上に種々の結晶成長法により薄膜Si単結晶層1302を形成する(図13(b))。

【0113】薄膜Si単結晶層1302上に酸化膜1303を形成する(図13(c))。

【0114】別のSi基体1304の表面上に形成された酸化膜1305と前記酸化膜1303とを貼り合わせる(図13(d))。

【0115】次いで多孔質化されずに残っていたSi単結晶気体1300を研削等の機械的研磨やエッチング等により除去し、多孔質領域1301を表出させる(図13(e))。

【0116】多孔質領域1301をエッチング除去し、絶縁物上に薄膜Si単結晶層を有する半導体基体を形成する(図13(f))。

【0117】このような工程を採用した場合、多孔質化に要する時間を短縮でき、多孔質Si基体をエッチング除去する時間も短縮できるため、基体形成の高効率化を図ることができる。

【0118】尚、図13に示した酸化膜1303を形成せずに、薄膜Si単結晶層1302と酸化膜1305と直接貼り合わせることも可能であり、Si基体1304上に形成された酸化膜1305の代わりに、ガラス等の絶縁性基体を貼り合わせることも可能である。

【0119】又、実施態様例1乃至12における各工程を本実施態様例に繰り込むことも可能である。

【0120】こうして得られる半導体基体は実施態様例1乃至12により得られる半導体基体と同様に優れた性能を有するものである。

【0121】以下、具体的な実施例によって本発明を説明する。

【0122】

【実施例】(実施例1)直径31inchで200ミクロンの厚みを持ったP型(100)単結晶Si基体(Siウエハー)に50%のHF溶液中において陽極化成を施した。この時の電流密度は、100mA/cm²であった。この時の多孔質化速度は、8.4μm/min.であり200ミクロンの厚みを持ったP型(100)Si基体全体は、24分で多孔質化された。

【0123】P型(100)多孔質Si基体21上にM

BE(分子線エピタキシー:Molecular Beam Epitaxy)法により、Siエピタキシャル層を0.5ミクロンの厚みに成長させた。堆積条件は、以下のとおりである。

温度:700℃

圧力:1×10⁻³Torr

成長速度:0.1nm/sec

【0124】次に、このエピタキシャル層21の表面に、表面に5000Åの酸化層24を形成したもう一方のSi基体23を重ねあわせ、窒素雰囲気中で800℃、0.5時間過熱することにより、2つのSi基体を、強固に貼り合わせた。次いで、フッ硝酸酢酸溶液(1:3:8)を用いて多孔質Si基体21をエッチング除去した。

【0125】前述したように通常のSi単結晶のフッ硝酸酢酸溶液にたいするエッチング速度は、約毎分1ミクロン弱程度(フッ硝酸酢酸溶液1:3:8)であるが、多孔質層のエッチング速度はその100倍ほど増速される。すなわち、200ミクロンの厚みを持った多孔質化されたSi基体21は、2分で除去された。

【0126】こうして、SiO₂層24上に0.5μmの厚みを持った単結晶Si層22が形成できた。

【0127】又、得られた単結晶Si層の厚みを走査型エリプソメトリーを用いて調べた。具体的には、31inchウエハーの全面を走査させて測定した。その結果31inchウエハーの面内において単結晶Si層の厚みの最大値と最小値の差は、厚みの最大値に対して5%以下に抑えられていた。

【0128】又、透過電子顕微鏡による単結晶Si層の平面観察の結果、転移欠陥密度は1×10³/cm²以下に抑えられており、単結晶Si層形成工程において、新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【0129】又、単結晶Si層につき、MOS-c-t法を用いて少数キャリアのライフタイムを測定したところ、2.0×10⁻⁷secという高い値を示した。

【0130】(実施例2)直径41inchで500ミクロンの厚みを持ったP型(100)単結晶Si基体に50%のHF溶液中において陽極化成を施した。この時の電流密度は、100mA/cm²であった。この時の多孔質化速度は、8.4μm/min.であり500ミクロンの厚みを持ったP型(100)Si基体全体は、60分で多孔質化された。

【0131】P型(100)多孔質Si基体21上にプラズマCVD法により、Siエピタキシャル層22を0.5ミクロン低温成長させた。堆積条件は、以下のとおりである。

ガス:SiH₄

高周波電力:100W

温度:800℃

圧力： 1×10^{-3} Torr

成長速度：2.5 nm/sec

【0132】次に、このエピタキシャル層22の表面に、表面に5000Åの酸化層24を形成した別のSi基体23を重ねあわせ、窒素雰囲気中で700℃、0.5時間過熱することにより、2つのSi基体を、強固に貼り合わせた。次いで、フッ硝酸酢酸溶液(1:3:8)を用いて多孔質Si基体21をエッチング除去した。

【0133】前述したように通常のSi単結晶のフッ硝酸酢酸溶液にたいするエッチング速度は、約毎分1ミクロン弱程度(フッ硝酸酢酸溶液1:3:8)であるが、多孔質層のエッチング速度はその100倍ほど増速される。すなわち、500ミクロンの厚みを持った多孔質化されたSi基体21は、5分で除去された。

【0134】SiO₂層24上に0.5μmの厚みを持った単結晶Si層が形成できた。

【0135】又、得られた単結晶Si層の厚みを走査型エリブソメトリーを用いて調べた。具体的には、4inchウエハーの全面を走査させて測定した。その結果4inchウエハーの面内において単結晶Si層の厚みの最大値と最小値の差は、厚みの最大値に対して7%以下に抑えられていた。

【0136】又、透過電子顕微鏡による単結晶Si層の平面観察の結果、転移欠陥密度は 1×10^3 /cm²以下に抑えられており、単結晶Si層形成工程において、新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【0137】又、単結晶Si層につき、MOS c-t法を用いて少数キャリアのライフタイムを測定したところ、 2.0×10^{-3} secという高い値を示した。

【0138】(実施例3)直径3inchで200ミクロンの厚みを持ったP型(100)単結晶Si基体(Siウエハー)に50%のHF溶液中において陽極化成を施した。この時の電流密度は、100mA/cm²であった。この時の多孔質化速度は、8.4μm/min.であり200ミクロンの厚みを持ったP型(100)Si基体全体は、24分で多孔質化された。

【0139】P型(100)多孔質Si基体21上にバイアスバター法により、Siエピタキシャル層22を0.5ミクロンの厚みに成長させた。堆積条件は、以下のとおりである。

RF周波数：100MHz

高周波電力：600W

温度：300℃

Arガス圧力： 8×10^{-3} Torr

成長時間：60分

ターゲット直流バイアス：-200V

基体直流バイアス：+5V

【0140】次に、このエピタキシャル層22の表面

に、表面に5000Åの酸化層24を形成した別のSi基体23を重ねあわせ、窒素雰囲気中で800℃、0.5時間過熱することにより、2つのSi基体を、強固に貼り合わせた。次いで、フッ硝酸酢酸溶液(1:3:8)を用いて多孔質Si基体21をエッチング除去した。

【0141】前述したように通常のSi単結晶のフッ硝酸酢酸溶液にたいするエッチング速度は、約毎分1ミクロン弱程度(フッ硝酸酢酸溶液1:3:8)であるが、多孔質層のエッチング速度はその100倍ほど増速される。すなわち、200ミクロンの厚みを持った多孔質化されたSi基体21は、2分で除去された。

【0142】こうして、SiO₂層24上に0.5μmの厚みを持った単結晶Si層が形成できた。

【0143】(実施例4)直径3inchで200ミクロンの厚みを持ったP型(100)単結晶Si基体に50%のHF溶液中において陽極化成を施した。この時の電流密度は、100mA/cm²であった。この時の多孔質化速度は、8.4μm/min.であり200ミクロンの厚みを持ったP型(100)Si基体全体は、24分で多孔質化された。

【0144】P型(100)多孔質Si基体21上に液相成長法により、Siエピタキシャル層22を0.5ミクロンの厚みに成長させた。成長条件は、以下のとおりである。

溶媒：Sn

成長温度：900℃

成長雰囲気：H₂

成長時間：10分

【0145】次に、このエピタキシャル層22の表面に、表面に5000Åの酸化層24を形成したもう一方のSi基体23を重ねあわせ、窒素雰囲気中で800℃、0.5時間過熱することにより、2つのSi基体を、強固に貼り合わせた。次いで、フッ硝酸酢酸溶液(1:3:8)を用いて多孔質Si基体21をエッチング除去した。すると、200ミクロンの厚みを持った多孔質化されたSi基体21は、2分で除去された。

【0146】こうして、SiO₂層24上に0.5μmの厚みを持った単結晶Si層22が形成できた。

【0147】(実施例5)直径3inchで200ミクロンの厚みを持ったP型(100)単結晶Si基体に50%のHF溶液中において陽極化成を施した。この時の電流密度は、100mA/cm²であった。この時の多孔質化速度は、8.4μm/min.であり200ミクロンの厚みを持ったP型(100)Si基体全体は、24分で多孔質化された。

【0148】P型(100)多孔質Si基体21上に減圧CVD法により、Siエピタキシャル層21を0.5ミクロンの厚みに成長させた。堆積条件は、以下のとおりである。

ソースガス: SiH_4

キャリアーガス: H_2

温度: 850°C

圧力: $1 \times 10^{-3} \text{ Torr}$

成長速度: 3.3 nm/sec

【0149】次に、このエピタキシャル層22の表面に、表面に5000Åの酸化層24を形成した別のSi基体を重ねあわせ、窒素雰囲気中で800℃、0.5時間過熱することにより、2つのSi基体23を、強固に貼り合わせた。次いで、フッ硝酸酢酸溶液(1:3:8)を用いて多孔質Si基体21をエッチング除去した。すると、200ミクロンの厚みを持った多孔質化されたSi基体21は、2分で除去された。

【0150】こうして、 SiO_2 層24上に0.5μmの厚みを持った単結晶Si層が形成できた。ソースガスとして、 SiH_4Cl_2 を用いた場合には、成長温度を数十度上昇させる必要があるが、多孔質基体に特有な増速エッチング特性は、維持された。

【0151】(実施例6) 直径3inchで200ミクロンの厚みを持ったP型(100)Si基体121上にCVD法により、Siエピタキシャル層122を1ミクロンの厚みで成長させた。堆積条件は、以下のとおりである。

反応ガス流量: SiH_4Cl_2 : 1000SCCM

H_2 : 230l/min.

温度: 1080°C

圧力: 80Torr

時間: 2min.

【0152】この基体121に50%のHF溶液中において陽極化成を施した。この時の電流密度は、 100 mA/cm^2 であった。又、この時の多孔質化速度は、 $8.4 \mu\text{m/min.}$ であり200ミクロンの厚みを持ったP型(100)Si基体121全体は、24分で多孔質化された。この陽極化成では、P型(100)Si基体121のみが多孔質化され、Siエピタキシャル層122には変化がなかった。次に、このエピタキシャル層122の表面に、表面に5000Åの酸化層125を形成した別のSi基体124を重ねあわせ、窒素雰囲気中で800℃、0.5時間過熱することにより、2つのSi基体を、強固に貼り合わせた。次いで、フッ硝酸酢酸溶液(1:3:8)を用いて多孔質Si基体123をエッチング除去した。すると、200ミクロンの厚みを持った多孔質化されたSi基体123は、2分で除去された。

【0153】又、得られた単結晶Si層の厚みを走査型エリブソメトリーを用いて調べたところ、3inchウエハーの面内において単結晶Si層の厚みの最大値と最小値の差は、厚みの最大値に対して5%以下に抑えられていた。

【0154】又、透過電子顕微鏡による単結晶Si層の

平面観察の結果、転移欠陥密度は $1 \times 10^3 / \text{cm}^2$ 以下に抑えられており、単結晶Si層形成工程において、新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【0155】又、単結晶Si層につき、マイクロ波反射法を用いて少数キャリアーのライフタイムを測定したところ、 $2.0 \times 10^{-3} \text{ sec}$ という高い値を示した。

【0156】(実施例7) 直径3inchで200ミクロンの厚みを持ったP型(100)Si基体上にCVD法により、Siエピタキシャル層122を0.5ミクロンの厚みにさせた。堆積条件は、以下のとおりである。

反応ガス流量: SiH_4Cl_2 : 1000SCCM

H_2 : 230l/min.

温度: 1080°C

圧力: 80Torr

時間: 1min.

【0157】この基体に50%のHF溶液中において陽極化成を施した。この時の電流密度は、 100 mA/cm^2 であった。この時の多孔質化速度は、 $8.4 \mu\text{m/min.}$ であり200ミクロンの厚みを持ったP型(100)Si基体121全体は、24分で多孔質化された。この陽極化成では、P型(100)Si基体のみが多孔質化され、Siエピタキシャル層122には変化がなかった。次に、このエピタキシャル層122の表面に、表面に5000Åの酸化層125を形成した別のSi基体124を重ねあわせ、窒素雰囲気中で800℃、0.5時間過熱することにより、2つのSi基体を、強固に貼り合わせた。次いで、フッ硝酸酢酸溶液(1:3:8)を用いて多孔質Si基体123をエッチング除去した。すると、200ミクロンの厚みを持った多孔質化されたSi基体123は、2分で除去された。

【0158】透過電子顕微鏡による断面観察の結果、Si層122には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【0159】(実施例8) 直径3inchで200ミクロンの厚みを持ったP型(100)Si基体121の表面にプロトンのイオン注入によって、N型Si層122を1ミクロンの厚みに形成した。 H^+ 注入量は、 $5 \times 10^{15} (\text{ions/cm}^2)$ であった。この基体に50%のHF溶液中において陽極化成を施した。この時の電流密度は、 100 mA/cm^2 であった。この時の多孔質化速度は、 $8.4 \mu\text{m/min.}$ であり200ミクロンの厚みを持ったP型(100)Si基体121全体は、24分で多孔質化された。前述したようにこの陽極化成では、P型(100)Si基体121のみが多孔質化されN型Si層122には変化がなかった。次に、このN型Si層122の表面に、表面に5000Åの酸化層125を形成した別のSi基体124を重ねあわせ、窒素雰囲気中で800℃、0.5時間過熱することにより、2つのSi基体を、強固に貼り合わせた。次いで、フッ

硝酸酢酸溶液(1:3:8)を用いて多孔質Si基体123をエッチング除去した。すると、200ミクロンの厚みを持った多孔質化されたSi基体123は、2分で除去された。

【0160】透過電子顕微鏡による断面観察の結果、Si層122には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【0161】(実施例9)直径3inchで200ミクロンの厚みを持ったP型(100)単結晶Si基体に50%のHF溶液中において陽極化成を施した。この時の電流密度は、100mA/cm²であった。この時の多孔質化速度は、8.4μm/min.であり200ミクロンの厚みを持ったP型(100)Si基体全体は、24分で多孔質化された。

【0162】該P型(100)多孔質Si基体11上にMBE(分子線エピタキシー:Molecular Beam Epitaxy)法により、Siエピタキシャル層12を0.5ミクロンの厚みに成長させた。堆積条件は、以下のとおりである。

温度:700℃

圧力:1×10⁻³Torr

成長速度:0.1 nm/sec

【0163】次に、このエピタキシャル層12の表面に、表面に5000Åの酸化層14を形成した別のSi基体13を重ねあわせ、窒素雰囲気中で800℃、0.5時間過熱することにより、2つのSi基体を、強固に貼り合わせた。次いで、減圧CVD法によってSi₃N₄を貼り合わせた2枚のSi基体に0.1μmの厚みに被覆した。この後、多孔質基体上の窒化膜のみを反応性イオンエッチングによって除去した。次いでフッ硝酸酢酸溶液(1:3:8)を用いて多孔質Si基体11をエッチング除去した。すると、200ミクロンの厚みを持った多孔質化されたSi基体11は、2分で除去された。Si₃N₄層15を除去した後は、SiO₂層14上に0.5μmの厚みを持った単結晶Si層12を有する基体が形成できた。

【0164】透過電子顕微鏡による断面観察の結果、Si層12には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【0165】(実施例10)直径3inchで200ミクロンの厚みを持ったP型(100)単結晶Si基体に50%のHF溶液中において陽極化成を施した。この時の電流密度は、100mA/cm²であった。この時の多孔質化速度は、8.4μm/min.であり200ミクロンの厚みを持ったP型(100)Si基体全体は、24分で多孔質化された。

【0166】該P型(100)多孔質Si基体11上にプラズマCVD法により、Siエピタキシャル層12を0.5ミクロンの厚みに成長させた。堆積条件は、以下のとおりである。

ガス:SiH₄

高周波電力:100W

温度:800℃

圧力:1×10⁻³Torr

成長速度:2.5 nm/sec

【0167】次に、このエピタキシャル層12の表面に、表面に5000Åの酸化層14を形成した別のSi基体を重ねあわせ、窒素雰囲気中で800℃、0.5時間過熱することにより、2つのSi基体を、強固に貼り合わせた。次いで、減圧CVD法によってSi₃N₄を貼り合わせた2枚のSi基体に0.1μmの厚みに被覆した。その後、多孔質基体11上の窒化膜のみを反応性イオンエッチングによって除去した。次いでフッ硝酸酢酸溶液(1:3:8)を用いて多孔質Si基体11をエッチング除去した。すると、200ミクロンの厚みを持った多孔質化されたSi基体11は、2分で除去された。Si₃N₄層15を除去した後は、SiO₂上に0.5μmの厚みを持った単結晶Si層12を有する基体が形成できた。

【0168】又、得られた単結晶Si層の厚みを走査型エリプソメトリーを用いて調べたところ、3inchウエハーの面内において単結晶Si層の厚みの最大値と最小値の差は、厚みの最大値に対して5%以下に抑えられていた。

【0169】又、Sirtleエッチングを用いた欠陥顕在化エッチングによる観察の結果、転移欠陥密度は1×10³/cm²以下に抑えられており、単結晶Si層形成工程において、新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【0170】又、単結晶Si層につき、MOS-cut法を用いて少数キャリアのライフタイムを測定したところ、2.0×10⁻³secという高い値を示した。

【0171】(実施例11)直径3inchで200ミクロンの厚みを持ったP型(100)単結晶Si基体に50%のHF溶液中において陽極化成を施した。この時の電流密度は、100mA/cm²であった。この時の多孔質化速度は、8.4μm/min.であり200ミクロンの厚みを持ったP型(100)Si基体全体は、24分で多孔質化された。

【0172】P型(100)多孔質Si基体11上にバイアスバター法により、Siエピタキシャル層12を0.5ミクロンの厚みに成長させた。堆積条件は、以下のとおりである。

RF周波数:100MHz

高周波電力:600W

温度:300℃

Arガス圧力:8×10⁻³Torr

成長時間:60分

ターゲット直流バイアス:-200V

50 基体直流バイアス:+5V

33

【0173】次に、このエピタキシャル層12の表面に、表面に5000Åの酸化層14を形成した別のSi基体を重ねあわせ、窒素雰囲気中で800℃、0.5時間過熱することにより、2つのSi基体を、強固に貼り合わせた。減圧CVD法によってSi₃N₄を貼り合わせた2枚のSi基体に0.1μmの厚みに被覆した。その後、多孔質基体上の窒化膜のみを反応性イオンエッチングによって除去した。次いでフッ硝酸酢酸溶液(1:3:8)を用いて多孔質Si基体11をエッチング除去した。すると、200ミクロンの厚みをもった多孔質化されたSi基体11は、2分で除去された。Si₃N₄層15を除去した後は、SiO₂層14上に0.5μmの厚みを持った単結晶Si層12を有する基体が形成できた。

【0174】また、Si₃N₄層の代わりに、アビエゾンワックスを被覆した場合にも同様の効果があり、多孔質化されたSi基体のみを完全に除去し得た。

【0175】(実施例12) 直径3inchで200ミクロンの厚みを持ったP型(100)単結晶Si基体に50%のHF溶液中において陽極化成を施した。この時の電流密度は、100mA/cm²であった。この時の多孔質化速度は、8.4μm/min.であり200ミクロンの厚みを持ったP型(100)Si基体全体は、24分で多孔質化された。

【0176】P型(100)多孔質Si基体11上に液相成長法により、Siエピタキシャル層12を0.5ミクロンの厚みに成長させた。成長条件は、以下のとおりである。

溶媒: Sn

成長温度: 900℃

成長雰囲気: H₂

成長時間: 10分

ターゲット直流バイアス: -200V

基体直流バイアス: +5V

【0177】次に、このエピタキシャル層12の表面に、表面に5000Åの酸化層14を形成した別のSi基体13を重ねあわせ、窒素雰囲気中で800℃、0.5時間過熱することにより、2つのSi基体を、強固に貼り合わせた。減圧CVD法によってSi₃N₄を貼り合わせた2枚のSi基体に0.1μmの厚みに被覆させた。その後、多孔質基体上の窒化膜のみを反応性イオンエッチングによって除去した。次いでフッ硝酸酢酸溶液(1:3:8)を用いて多孔質Si基体11をエッチング除去した。すると、200ミクロンの厚みをもった多孔質化されたSi基体11は、2分で除去された。Si₃N₄層15を除去した後は、SiO₂層14上に0.5μmの厚みを持った単結晶Si層12を有する基体が形成できた。

【0178】また、Si₃N₄層の代わりに、アビエゾンワックスを被覆した場合にも同様の効果があり、多孔質

34

化されたSi基体のみを完全に除去し得た。

【0179】(実施例13) 直径3inchで200ミクロンの厚みを持ったP型(100)単結晶Si基体に50%のHF溶液中において陽極化成を施した。この時の電流密度は、100mA/cm²であった。この時の多孔質化速度は、8.4μm/min.であり200ミクロンの厚みを持ったP型(100)Si基体全体は、24分で多孔質化された。

【0180】P型(100)多孔質Si基体11上に減圧CVD法により、Siエピタキシャル層12を0.5ミクロンの厚みで成長させた。堆積条件は、以下のとおりである。

ソースガス: SiH₄

キャリアーガス: H₂

温度: 850℃

圧力: 1×10⁻²Torr

成長速度: 3.3 nm/sec

【0181】次に、このエピタキシャル層12の表面に、表面に5000Åの酸化層14を形成した別のSi基体13を重ねあわせ、窒素雰囲気中で800℃、0.5時間過熱することにより、2つのSi基体は強固に貼り合わされた。次いで、減圧CVD法によってSi₃N₄を貼り合わせた2枚のSi基体に0.1μmの厚みで被覆させた。その後、多孔質基体11上の窒化膜15のみを反応性イオンエッチングによって除去した。次いでフッ硝酸酢酸溶液(1:3:8)を用いて多孔質Si基体11をエッチング除去した。すると、200ミクロンの厚みをもった多孔質化されたSi基体11は、2分で除去された。Si₃N₄層15を除去した後は、SiO₂層14上に0.5μmの厚みを持った単結晶Si層を有する基体が形成できた。

【0182】ソースガスとして、SiH₂Cl₂を用いた場合には、成長温度を数十度上昇させる必要があるが、多孔質基体に特有な増速エッチング特性は、維持された。

【0183】(実施例14) 直径3inchで200ミクロンの厚みを持ったP型(100)Si基体111上にCVD法により、Siエピタキシャル層112を1ミクロンの厚みに成長させた。堆積条件は、以下のとおりである。

反応ガス流量: SiH₂Cl₂: 1000SCCM

H₂: 230l/min.

温度: 1080℃

圧力: 80Torr

時間: 2min.

【0184】この基体を50%のHF溶液中において陽極化成を行った。この時の電流密度は、100mA/cm²であった。又、この時の多孔質化速度は、8.4μm/min.であり、200ミクロンの厚みを持ったP型(100)Si基体全体は、24分で多孔質化され

35

た。この陽極化成では、P型(100)Si基板のみが多孔質化され、Siエピタキシャル層122には変化がなかった。次に、このエピタキシャル層112の表面に、表面に5000Åの酸化層を形成したSi基板114を重ねあわせ、窒素雰囲気中で800℃、0.5時間過熱することにより、2つのSi基板は強固に接合された。減圧CVD法によってSi₃N₄を、貼り合わせた2枚のSi基板に0.1μmの厚さで被覆した。次いで、多孔質基体上の酸化膜のみを反応性イオンエッチングによって除去する。次いで、フッ硝酸酢酸溶液(1:3:8)を用いて多孔質Si基板11をエッチング除去した。すると、200ミクロンの厚みを持った多孔質化されたSi基板113は、2分で除去された。

【0185】Si₃N₄層116を除去した後は、SiO₂上に1μmの厚みを持った単結晶Si層112を有する基体が形成できた。

【0186】又、得られた単結晶Si層の厚みを走査型エリブソメトリーを用いて調べたところ、3inchウエハーの面内において単結晶Si層の厚みの最大値と最小値の差は、厚みの最大値に対して5%以下に抑えられていた。

【0187】又、透過電子顕微鏡による単結晶Si層の平面観察の結果、転移欠陥密度は $1 \times 10^3 / \text{cm}^2$ 以下に抑えられており、単結晶Si層形成工程において、新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【0188】又、単結晶Si層につき、MOS c-t法を用いて少数キャリアのライフタイムを測定したところ、 $2.0 \times 10^{-8} \text{ sec}$ という高い値を示した。

【0189】(実施例15) 直径3inchで200ミクロンの厚みを持ったP型(100)Si基板111上にCVD法により、Siエピタキシャル層112を0.5ミクロンの厚みに成長させた。堆積条件は、以下のとおりである。

反応ガス流量: SiH₂Cl₂: 1000SCCM

H₂: 230l/min.

温度: 1080℃

圧力: 80 Torr

時間: 1min.

【0190】この基体に50%のHF溶液中において陽極化成を施した。この時の電流密度は、 100 mA/cm^2 であった。この時の多孔質化速度は、 $8.4 \mu\text{m/min.}$ であり200ミクロンの厚みを持ったP型(100)Si基板111全体は、24分で多孔質化された。この陽極化成では、P型(100)Si基板11のみが多孔質化されSiエピタキシャル層112には変化がなかった。

【0191】次に、このエピタキシャル層112の表面に、表面に5000Åの酸化層を形成したSi基板114を重ね合わせ、窒素雰囲気中で800℃、0.5時間

36

加熱することにより、両者のSi基板を、強固に貼り合わせた。次いで、減圧CVD法によってSi₃N₄を、貼り合わせた2枚のSi基板に0.1μmの厚みに被覆した。続いて、多孔質化基体113上の酸化膜116のみを反応性イオンエッチングによって除去した。次いで、フッ硝酸酢酸溶液(1:3:8)を用いて、多孔質Si基板113をエッチング除去した。すると、200ミクロンの厚みを持った多孔質化されたSi基板113は、2分で除去された。Si₃N₄層116を除去した後は、SiO₂層115上に0.5μmの厚みを持った単結晶Si層112を有する基体が形成できた。透過電子顕微鏡による断面観察の結果、Si層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【0192】(実施例16) 直径3inchで200ミクロンの厚みを持ったP型(100)Si基板111の表面にプロトンのイオン注入によって、N型Si層112を1ミクロンの厚みで形成した。H⁺注入量は、 $5 \times 10^{15} (\text{ions/cm}^2)$ であった。この基体に50%のHF溶液中において陽極化成を施した。この時の電流密度は、 100 mA/cm^2 であった。この時の多孔質化速度は、 $8.4 \mu\text{m/min.}$ であり、200ミクロンの厚みを持ったP型(100)Si基板111全体は、24分で多孔質化された。この陽極化成では、P型(100)Si基板111のみが多孔質化され、N型Si層112には変化がなかった。次に、このN型Si層112の表面に、表面に5000Åの酸化層115を形成した別のSi基板114を重ね合わせ、窒素雰囲気中で800℃、0.5時間加熱することにより、2つのSi基板を、強固に貼り合わせた。次いで、減圧CVD法によってSi₃N₄を貼り合わせた2枚のSi基板に0.1μmの厚みで被覆した。次に、多孔質基体上の酸化膜のみを反応性イオンエッチングによって除去した。次いで、フッ硝酸酢酸溶液(1:3:8)を用いて多孔質Si基板113をエッチング除去した。すると、200ミクロンの厚みを持った多孔質化されたSi基板113は、2分で除去された。Si₃N₄層116を除去した後は、SiO₂上に1.0μmの厚みを持った単結晶Si層112を有する基体が形成できた。透過電子顕微鏡による断面観察の結果、Si層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【0193】(実施例17) 直径3inchで200ミクロンの厚みを持ったP型(100)単結晶Si基板に50%のHF溶液中において陽極化成を施した。この時の電流密度は、 100 mA/cm^2 であった。この時の多孔質化速度は、 $8.4 \mu\text{m/min.}$ であり200ミクロンの厚みを持ったP型(100)Si基板全体は、24分で多孔質化された。

【0194】P型(100)多孔質Si基板31上にM

BE (分子線エピタキシー: Molecular Beam Epitaxy) 法により、Si エピタキシャル層 32 を 0.5 ミクロンの厚みに成長させた。堆積条件は、以下のとおりである。

温度: 700℃

圧力: 1×10^{-3} Torr

成長速度: 0.1 nm/sec

【0195】次に、このエピタキシャル層 32 の表面に厚み 1000 Å の酸化層 36 を形成した。表面に 500 Å の酸化層 34 を形成した別の Si 基体 33 と前記酸化層 36 とを重ね合わせ真空雰囲気中で 800℃、0.5 時間加熱することにより、両者を強固に貼り合わせた。減圧 CVD 法によって Si_3N_4 を、貼り合わせた 2 枚の Si 基体に 0.1 μm の厚みで被覆した。次いで、多孔質基体上の窒化膜のみを反応性イオンエッチングによって除去した。次いで、フッ硝酸酢酸溶液 (1:3:8) を用いて多孔質 Si 基体 31 をエッチング除去した。すると、200 ミクロンの厚みを持った多孔質化された Si 基体 31 は、2 分で除去された。 Si_3N_4 層 35 を除去した後は、 SiO_2 上に薄膜単結晶 Si 層 32 を有する基体が形成できた。透過電子顕微鏡による断面観察の結果、Si 層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【0196】(実施例 18) 直径 3 inch で 200 ミクロンの厚みを持った P 型 (100) 単結晶 Si 基体に 50% の HF 溶液中において陽極化成を施した。この時の電流密度は、100 mA/cm² であった。この時の多孔質化速度は、8.4 μm/min. であり 200 ミクロンの厚みを持った P 型 (100) Si 基体全体は、24 分で多孔質化された。該 P 型 (100) 多孔質 Si 基体 31 上にプラズマ CVD 法により、Si エピタキシャル層 32 を 5 ミクロンの厚みに成長させた。堆積条件は、以下のとおりである。

ガス: SiH_4

高周波電力: 100W

温度: 800℃

圧力: 1×10^{-3} Torr

成長速度: 2.5 nm/sec

【0197】次に、このエピタキシャル層 32 の表面に厚み 1000 Å の酸化層 36 を形成した。その後、表面に 500 Å の酸化層 34 を形成した別の Si 基体 33 と前記酸化層 36 とを重ね合わせ、真空雰囲気中で 800℃、0.5 時間加熱することにより、両者を強固に貼り合わせた。減圧 CVD 法によって Si_3N_4 を貼り合わせた 2 枚の Si 基体に 0.1 μm の厚みで被覆した。次いで、多孔質基体上の窒化膜のみを反応性イオンエッチングによって除去した。次いで、KOH 溶液 (6M) を用いて多孔質 Si 基体 31 をエッチング除去した。すると、200 ミクロンの厚みを持った多孔質化された Si

基体 31 は、2 分で除去された。 Si_3N_4 層を除去した後は、 SiO_2 上に良好な結晶性を有する単結晶 Si 層 32 を有する基体が形成できた。

【0198】又、得られた単結晶 Si 層の厚みを走査型エリブソメトリーを用いて調べたところ、3 inch ウエハーの面内において、単結晶 Si 層の厚みの最大値と最小値の差は、厚みの最大値に対して 5% 以下に抑えられていた。

【0199】又、透過電子顕微鏡による単結晶 Si 層の平面観察の結果、転移欠陥密度は 1×10^3 /cm² 以下に抑えられており、単結晶 Si 層形成工程において、新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【0200】又、単結晶 Si 層につき、MOS c - t 法を用いて少数キャリアのライフタイムを測定したところ、 2.0×10^{-3} sec という高い値を示した。

【0201】(実施例 19) 直径 3 inch で 200 ミクロンの厚みを持った P 型 (100) 単結晶 Si 基体に 50% の HF 溶液中において陽極化成を施した。この時の電流密度は、100 mA/cm² であった。この時の多孔質化速度は、8.4 μm/min. であり、200 ミクロンの厚みを持った P 型 (100) Si 基体全体は、24 分で多孔質化された。該 P 型 (100) 多孔質 Si 基体 31 にバイアスバター法により、Si エピタキシャル層 32 を 1 ミクロンの厚みに成長させた。堆積条件は、以下のとおりである。

RF 周波数: 100 MHz

高周波電力: 600W

温度: 300℃

Ar ガス圧力: 8×10^{-3} Torr

成長時間: 120 分

ターゲット直流バイアス: -200V

基体直流バイアス: +5V

【0202】次に、このエピタキシャル層 32 の表面に厚み 1000 Å の酸化層 36 を形成した。その後、表面に 500 Å の酸化層 34 を形成した別の Si 基体 33 と前記酸化層 36 とを重ね合わせ、真空雰囲気中で 800℃、0.5 時間加熱することにより、両者を強固に貼り合わせた。減圧 CVD 法によって Si_3N_4 を貼り合わせた 2 枚の Si 基体に 0.1 μm の厚みで被覆した。次いで、多孔質基体 31 上の窒化膜のみを反応性イオンエッチングによって除去した。次いで、フッ硝酸酢酸溶液 (1:3:8) を用いて多孔質 Si 基体 31 をエッチング除去した。すると、200 ミクロンの厚みを持った多孔質化された Si 基体 31 は、2 分で除去された。 Si_3N_4 層を除去した後は、 SiO_2 上に結晶性を有する単結晶 Si 層 32 を有する基体が形成できた。

【0203】また、 Si_3N_4 層 35 の代わりに、アビエゾンワックスを被覆した場合にも同様の効果があり、多孔質化された Si 基体 35 のみを完全に除去し得た。

【0204】(実施例20) 直径3 inchで200ミクロンの厚みを持ったP型(100)単結晶Si基体に50%のHF溶液中において陽極化成を施した。この時の電流密度は、100mA/cm²であった。この時の多孔質化速度は、8.4μm/min.であり、200ミクロンの厚みを持ったP型(100)Si基体全体は、24分で多孔質化された。該P型(100)多孔質Si基体31上に液相成長法により、Siエピタキシャル層32を5ミクロンの厚みに成長させた。成長条件は、以下のとおりである。

溶媒: Sn

成長温度: 900℃

成長雰囲気: H₂

成長時間: 10分

【0205】次に、このエピタキシャル層32の表面に厚み1000Åの酸化層36を形成した。その後、表面に5000Åの酸化層34を形成した別のSi基体33と前記酸化層36とを密着させ、700℃、0.5時間加熱することにより、両者を強固に貼り合わせた。減圧CVD法によってSi₃N₄を、貼り合わせた2枚のSi基体に0.1μmの厚みで被覆した。次いで、多孔質基体上の窒化膜のみを反応性イオンエッチングによって除去した。次いで、フッ硝酸酢酸溶液(1:3:8)を用いて多孔質Si基体31をエッチング除去した。すると、200ミクロンの厚みを持った多孔質化されたSi基体31は、2分で除去された。Si₃N₄層35を除去した後は、SiO₂上に単結晶Si層32を有する基体が形成できた。また、Si₃N₄層の代わりに、アビエソソックスを被覆した場合にも同様の効果があり、多孔質化されたSi基体のみを完全に除去し得た。

【0206】又、得られた単結晶Si層の厚みを走査型エリブソメトリーを用いて調べたところ、3 inchウエハーの面内において、単結晶Si層の厚みの最大値と最小値の差は、厚みの最大値に対して5%以下に抑えられていた。

【0207】又、透過電子顕微鏡による単結晶Si層の平面観察の結果、転移欠陥密度は1×10⁸/cm²以下に抑えられており、単結晶Si層形成工程において、新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【0208】又、単結晶Si層につき、MOS c-t法を用いて少数キャリアのライフタイムを測定したところ、2.0×10⁻⁸secという高い値を示した。

【0209】(実施例21) 直径3 inchで200ミクロンの厚みを持ったP型(100)単結晶Si基体に50%のHF溶液中において陽極化成を施した。この時の電流密度は、100mA/cm²であった。この時の多孔質化速度は、8.4μm/min.であり、200ミクロンの厚みを持ったP型(100)Si基体全体は、24分で多孔質化された。P型(100)多孔質Si

i基体31上に減圧CVD法により、Siエピタキシャル層32を1.0ミクロン低温成長させた。堆積条件は、以下のとおりである。

ソースガス: SiH₄

キャリアーガス: H₂

温度: 850℃

圧力: 1×10⁻³Torr

成長速度: 3.3 nm/sec

【0210】次に、このエピタキシャル層32の表面に厚み1000Åの酸化層36を形成した。その後、表面に5000Åの酸化層34を形成した別のSi基体33と前記酸化層36とを密着させ、700℃、0.5時間加熱することにより、両者を強固に貼り合わせた。減圧CVDによってSi₃N₄を、貼り合わせた2枚のSi基体に0.1μmの厚みで被覆した。次いで、多孔質基体31上の窒化膜35のみを反応性イオンエッチングによって除去した。次いで、フッ硝酸酢酸溶液(1:3:8)を用いて多孔質Si基体31をエッチング除去した。すると、200ミクロンの厚みを持った多孔質化されたSi基体31は、2分で除去された。Si₃N₄層35を除去した後は、SiO₂上に単結晶Si層32を有する基体が形成できた。

【0211】ソースガスとして、SiH₂Cl₂を用いた場合には、成長温度を数十度上昇させる必要があるが、多孔質基体に特有な増速エッチング特性は、維持された。

【0212】(実施例22) 直径3 inchで200ミクロンの厚みを持ったP型(100)Si基体131上にCVD法により、Siエピタキシャル層132を1ミクロンの厚みで成長させた。堆積条件は、以下のとおりである。

反応ガス流量: SiH₂Cl₂: 1000SCCM

H₂: 230l/min.

温度: 1080℃

圧力: 80Torr

時間: 2min.

【0213】この基体に50%のHF溶液中において陽極化成を施した。この時の電流密度は、100mA/cm²であった。また、この時の多孔質化速度は、8.4μm/min.であり、200ミクロンの厚みを持ったP型(100)Si基体全体131は、24分で多孔質化された。前述したようにこの陽極化成では、P型(100)Si基体131のみが多孔質化され、Siエピタキシャル層132には変化がなかった。次に、このエピタキシャル層132の表面に酸化層137を形成し、表面に5000Åの酸化層135を形成した別のSi基体134と前記酸化層137とを重ね合わせ、窒素雰囲気中で800℃、0.5時間加熱することにより、2つのSi基体を、強固に貼り合わせた。減圧CVD法によってSi₃N₄を貼り合わせた2枚のSi基体に0.1μm

の厚みで被覆した。その後、多孔質基体上の窒化膜のみを反応性イオンエッチングによって除去した。次いで、フッ硝酸酢酸溶液(1:3:8)を用いて多孔質Si基体133をエッチング除去した。すると、200ミクロンの厚みを持った多孔質化されたSi基体133は、2分で除去された。Si₃N₄層136を除去した後は、SiO₂上に1μmの厚みを持った単結晶Si層132を有する基体が形成できた。

【0214】透過電子顕微鏡による断面観察の結果、Si層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【0215】(実施例23) 直径4inchで500ミクロンの厚みを持ったP型(100)Si基体131上にCVD法により、Siエピタキシャル層132を0.5ミクロンの厚みで成長させた。堆積条件は、以下のとおりである。

反応ガス流量: SiH₂Cl₂: 1000SCCM

H₂: 230l/min.

温度: 1080℃

圧力: 80Torr

時間: 1min.

【0216】この基体に50%のHF溶液中において陽極化成を行った。この時の電流密度は、100mA/cm²であった。この時の多孔質化速度は、8.4μm/min.であり、500ミクロンの厚みを持ったP型(100)Si基体全体131全体を多孔質化させた。この陽極化成では、P型(100)Si基体131のみが多孔質化され、Siエピタキシャル層132には変化がなかった。

【0217】次に、このエピタキシャル層132の表面に厚み1000Åの酸化層137を形成した。その後、表面に5000Åの酸化層135を形成した別のSi基体134と前記酸化層137とを密着させ、700℃、0.5時間加熱することにより、両者を強固に貼り合わせた。減圧CVDによってSi₃N₄を、貼り合わせた2枚のSi基体を被覆して0.1μm堆積して、多孔質基体133上の窒化膜136のみを反応性イオンエッチングによって除去した。次いで、フッ硝酸酢酸溶液(1:3:8)を用いて多孔質Si基体をエッチング除去した。すると、500ミクロンの厚みを持った多孔質化されたSi基体は、7分で除去された。Si₃N₄層136を除去した後は、SiO₂上に単結晶Si層132を有する基体が形成できた。

【0218】又、得られた単結晶Si層の厚みを走査型エリブソメトリーを用いて調べたところ、4inchウエハーの面内において、単結晶Si層の厚みの最大値と最小値の差は、厚みの最大値に対して8%以下に抑えられていた。

【0219】又、透過電子顕微鏡による単結晶Si層の平面観察の結果、転移欠陥密度は $1 \times 10^3 / \text{cm}^2$ 以下

に抑えられており、単結晶Si層形成工程において、新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【0220】又、単結晶Si層につき、MOS c-t法を用いて少数キャリアのライフタイムを測定したところ、 $2.1 \times 10^{-3} \text{sec}$ という高い値を示した。

【0221】(実施例24) 直径3inchで200ミクロンの厚みを持ったP型(100)Si基体131の表面にプロトンのイオン注入によって、N型Si層132を1ミクロンの厚みで形成した。H⁺注入量は、 $5 \times 10^{18} (\text{ions} / \text{cm}^2)$ であった。この基体に50%のHF溶液中において陽極化成を施した。この時の電流密度は、100mA/cm²であった。この時の多孔質化速度は、8.4μm/min.であり、200ミクロンの厚みを持ったP型(100)Si基体131全体は、24分で多孔質化された。この陽極化成では、P型(100)Si基体131のみが多孔質化され、N型Si層132には変化がなかった。次に、このエピタキシャル層132の表面に、1000Åの厚みの酸化層137を形成した。その後、表面に5000Åの酸化層135を形成した別のSi基体134と前記酸化層137とを密着させ、700℃、0.5時間加熱することにより、2つのSi基体を、強固に貼り合わせた。減圧CVD法によってSi₃N₄を、貼り合わせた2枚のSi基体に0.1μmの厚みで被覆した。次いで、多孔質基体上の窒化膜のみを反応性イオンエッチングによって除去した。次いで、フッ硝酸酢酸溶液(1:3:8)を用いて多孔質Si基体133をエッチング除去した。すると、200ミクロンの厚みを持った多孔質化されたSi基体は、2分で除去された。Si₃N₄層136を除去した後は、SiO₂上に単結晶Si層132を有する基体が形成できた。透過電子顕微鏡による断面観察の結果、Si層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【0222】(実施例25) 直径3inchで200ミクロンの厚みを持ったP型(100)単結晶Si基体に50%のHF溶液中において陽極化成を施した。この時の電流密度は、100mA/cm²であった。この時の多孔質化速度は、8.4μm/min.であり200ミクロンの厚みを持ったP型(100)Si基体全体は、24分で多孔質化された。

【0223】P型(100)多孔質Si基体41上にMBE(分子線エピタキシー: Molecular Beam Epitaxy)法により、Siエピタキシャル層42を0.5ミクロンの厚みで成長させた。堆積条件は、以下のとおりである。

温度: 700℃

圧力: $1 \times 10^{-4} \text{Torr}$

成長速度: 0.1 nm/sec

【0224】次に、このエピタキシャル層42の表面に

43

厚み1000Åの酸化層45を形成した。その後、表面に5000Åの酸化層44を形成した別のSi基体43と前記酸化層45とを重ね合わせ、窒素雰囲気中で800℃、0.5時間加熱することにより、2つのSi基体を強固に貼り合わせた。次いで、フッ硝酸酢酸溶液(1:3:8)を用いて多孔質Si基体41をエッチング除去した。すると、200ミクロンの厚みを持った多孔質化されたSi基体41は、2分で除去された。

【0225】SiO₂上に薄膜単結晶Si層42を有する基体が形成できた。透過電子顕微鏡による断面観察の結果、Si層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【0226】(実施例26) 直径3inchで200ミクロンの厚みを持ったP型(100)単結晶Si基体に50%のHF溶液中において陽極化成を施した。この時の電流密度は、100mA/cm²であった。この時の多孔質化速度は、8.4μm/min.であり200ミクロンの厚みを持ったP型(100)Si基体全体は、24分で多孔質化された。該P型(100)多孔質Si基体41上にプラズマCVD法により、Siエピタキシャル層42を5ミクロンの厚みに成長させた。堆積条件は、以下のとおりである。

ガス: SiH₄

高周波電力: 100W

温度: 800℃

圧力: 1×10^{-3} Torr

成長速度: 2.5 nm/sec

【0227】次に、このエピタキシャル層42の表面に厚み1000Åの酸化層45を形成した。その後、表面に5000Åの酸化層44を形成した別のSi基体43と前記酸化層45とを重ね合わせ、窒素雰囲気中で800℃、0.5時間加熱することにより、2つのSi基体を強固に貼り合わせた。次いで、6MのKOH溶液を用いて多孔質Si基体41をエッチング除去した。

【0228】前述したように通常のSi単結晶のKOH 6M、溶液に対するエッチング速度は、約毎分1ミクロン弱程度であるが、多孔質層のエッチング速度はその百倍ほど増速される。すると、200ミクロンの厚みを持った多孔質化されたSi基体は、2分で除去された。

【0229】SiO₂上に良好な結晶性を有する単結晶Si層が形成できた。

【0230】(実施例27) 直径5inchで600ミクロンの厚みを持ったP型(100)単結晶Si基体に50%のHF溶液中において陽極化成を施した。この時の電流密度は、100mA/cm²であった。この時の多孔質化速度は、8.4μm/min.であり600ミクロンの厚みを持ったP型(100)Si基体全体は、70分で多孔質化された。P型(100)多孔質Si基体41上にバイアススパッター法により、Siエピタキシャル層42を1ミクロンの厚みに成長させた。堆積

44

条件は、以下のとおりである。

RF周波数: 100MHz

高周波電力: 600W

温度: 300℃

Arガス圧力: 8×10^{-4} Torr

成長時間: 120分

ターゲット直流バイアス: -200V

基体直流バイアス: +5V

【0231】次に、このエピタキシャル層42の表面に厚み1000Åの酸化層45を形成した。その後、表面に5000Åの酸化層44を形成した別のSi基体43を重ね合わせ、窒素雰囲気中で800℃、0.5時間加熱することにより、2つのSi基体を強固に貼り合わせた。次いで、フッ硝酸酢酸溶液(1:3:8)を用いて多孔質Si基体41をエッチング除去した。すると、600ミクロンの厚みを持った多孔質化されたSi基体41は、7分で除去された。

【0232】SiO₂上に良好な結晶性を有する単結晶Si層42を有する基体が形成できた。

【0233】又、得られた単結晶Si層の厚みを走査型エリブソメトリーを用いて調べたところ、5inchウエハーの面内において、単結晶Si層の厚みの最大値と最小値の差は、厚みの最大値に対して8%以下に抑えられていた。

【0234】又、透過電子顕微鏡による単結晶Si層の平面観察の結果、転移欠陥密度は 1×10^4 /cm²以下に抑えられており、単結晶Si層形成工程において、新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【0235】又、単結晶Si層につき、MOS c-t法を用いて少数キャリアのライフタイムを測定したところ、 2.1×10^{-4} secという高い値を示した。

【0236】(実施例28) 直径3inchで200ミクロンの厚みを持ったP型(100)単結晶Si基体に50%のHF溶液中において陽極化成を行った。この時の電流密度は、100mA/cm²であった。この時の多孔質化速度は、8.4μm/min.であり200ミクロンの厚みを持ったP型(100)Si基体全体は、24分で多孔質化された。P型(100)多孔質Si基体41上に液相成長法により、Siエピタキシャル層42を5ミクロンの厚みに成長させた。成長条件は、以下のとおりである。

溶媒: Sn

成長温度: 900℃

成長雰囲気: H₂

成長時間: 10分

【0237】次に、このエピタキシャル層42の表面に厚み1000Åの酸化層45を形成した。その後、表面に5000Åの酸化層44を形成した別のSi基体43を密着させ、700℃、0.5時間加熱することによ

り、2つのSi基体を強固に貼り合わせた。次いで、フッ硝酸酢酸溶液(1:3:8)を用いて多孔質Si基体41をエッチング除去した。すると、200ミクロンの厚みを持った多孔質化されたSi基体41は、2分で除去された。

【0238】SiO₂上に単結晶Si層を有する基体が形成できた。

【0239】(実施例29) 直径3inchで200ミクロンの厚みを持ったP型(100)単結晶Si基体を50%のHF溶液中において陽極化成を行った。この時の電流密度は、100mA/cm²であった。この時の多孔質化速度は、8.4μm/min.であり200ミクロンの厚みを持ったP型(100)Si基体全体は、24分で多孔質化された。P型(100)多孔質Si基体41上に減圧CVD法により、Siエピタキシャル層42を0.1ミクロンの厚みに成長させた。堆積条件は、以下のとおりである。

ソースガス: SiH₄

キャリアーガス: H₂

温度: 850℃

圧力: 1×10⁻²Torr

成長速度: 3.3 nm/sec

【0240】次に、このエピタキシャル層42の表面に厚み1000Åの酸化層45を形成した。その後、表面に5000Åの酸化層44を形成した別のSi基体43を密着させ、700℃、0.5時間加熱することにより、2つのSi基体を強固に貼り合わせた。次いで、フッ硝酸酢酸溶液(1:3:8)を用いて多孔質Si基体41をエッチング除去した。すると、200ミクロンの厚みを持った多孔質化されたSi基体41は、2分で除去された。

【0241】SiO₂上に単結晶Si層42を有する基体が形成できた。ソースガスとして、SiH₂Cl₂をもちいた場合には、成長温度を数十度上昇させる必要があるが、多孔質基体に特有な増速エッチング特性は、維持された。

【0242】(実施例30) 直径3inchで200ミクロンの厚みを持ったP型(100)Si基体141上にCVD法により、Siエピタキシャル層142を1ミクロンの厚みで成長させた。堆積条件は、以下のとおりである。

反応ガス流量: SiH₂Cl₂: 1000SCCM

H₂: 230l/min.

温度: 1080℃

圧力: 80Torr

時間: 2min.

【0243】この基体を50%のHF溶液中において陽極化成を行った。この時の電流密度は、100mA/cm²であった。又、この時の多孔質化速度は、8.4μm/min.であり200ミクロンの厚みを持ったP型

(100)Si基体全体を多孔質化させた。この陽極化成では、P型(100)Si基体141のみが多孔質化され、Siエピタキシャル層142には変化がなかった。次に、このエピタキシャル層142の表面に、表面に5000Åの酸化層145を形成した別のSi基体144を重ねあわせ、窒素雰囲気中で800℃、0.5時間加熱することにより、2つのSi基体を、強固に貼り合わせた。次いで、フッ硝酸酢酸溶液(1:3:8)を用いて多孔質Si基体をエッチング除去した。すると、200ミクロンの厚みをもった多孔質化されたSi基体は、2分で除去された。

【0244】SiO₂上に1μmの厚みを持った単結晶Si層142を有する基体が形成できた。透過電子顕微鏡による断面観察の結果、Si層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【0245】(実施例31) 直径3inchで200ミクロンの厚みを持ったP型(100)Si基体141上にCVD法により、Siエピタキシャル層142を0.5ミクロンの厚みで成長させた。堆積条件は、以下のとおりである。

反応ガス流量: SiH₂Cl₂: 1000SCCM

H₂: 230l/min.

温度: 1080℃

圧力: 80Torr

時間: 1min.

【0246】この基体に50%のHF溶液中において陽極化成を施した。この時の電流密度は、100mA/cm²であった。この時の多孔質化速度は、8.4μm/min.であり200ミクロンの厚みを持ったP型(100)Si基体141全体は、24分で多孔質化された。この陽極化成では、P型(100)Si基体141のみが多孔質化されSiエピタキシャル層142には変化がなかった。

【0247】次に、このエピタキシャル層142の表面に厚み1000Åの酸化層146を形成した。その後、表面に5000Åの酸化層145を形成した別のSi基体を密着させ、700℃、0.5時間加熱することにより、2つのSi基体を、強固に貼り合わせた。次いで、フッ硝酸酢酸溶液(1:3:8)を用いて多孔質Si基体をエッチング除去した。すると、200ミクロンの厚みをもった多孔質化されたSi基体は、2分で除去された。

【0248】SiO₂上に単結晶Si層を有する基体が形成できた。透過電子顕微鏡による断面観察の結果、Si層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【0249】(実施例32) 直径3inchで200ミクロンの厚みを持ったP型(100)Si基体141の表面にプロトンのイオン注入によって、N型Si層14

47

2を1ミクロンの厚みに形成した。H⁺注入量は、 5×10^{15} (ions/cm²)であった。この基体に50%のHF溶液中において陽極化成を施した。この時の電流密度は、100mA/cm²であった。この時の多孔質化速度は、8.4μm/min.であり、200ミクロンの厚みを持ったP型(100)Si基板全体は、24分で多孔質化された。この陽極化成では、P型(100)Si基板141のみが多孔質化されN型Si層142には変化がなかった。次に、このエピタキシャル層142の表面に厚み1000Åの酸化層146を形成した。その後、表面に5000Åの酸化層145を形成した別のSi基板と前記酸化層146とを密着させ、700℃、0.5時間過熱することにより、2つのSi基板を、強固に貼り合わせた。次いで、フッ硝酸酢酸溶液(1:3:8)を用いて多孔質Si基板をエッチング除去した。すると、200ミクロンの厚みを持った多孔質化されたSi基板は、2分で除去された。

【0250】SiO₂上に単結晶Si層を有する基板が形成できた。

【0251】又、得られた単結晶Si層の厚みを走査型エリブソメトリーを用いて調べたところ、3inchウエハーの面内において単結晶Si層の厚みの最大値と最小値の差は、厚みの最大値に対して5%以下に抑えられていた。

【0252】又、透過電子顕微鏡による単結晶Si層の平面観察の結果、転移欠陥密度は 1×10^3 /cm²以下に抑えられており、単結晶Si層形成工程において、新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【0253】又、単結晶Si層につき、MOS c-t法を用いて少数キャリアのライフタイムを測定したところ、 2.2×10^{-8} secという高い値を示した。

【0254】(実施例33) 直径3inchで200ミクロンの厚みを持ったP型(100)単結晶Si基板に50%のHF溶液中において陽極化成を施した。この時の電流密度は、100mA/cm²であった。この時の多孔質化速度は、8.4μm/min.であり200ミクロンの厚みを持ったP型(100)Si基板全体は、24分で多孔質化された。

【0255】P型(100)多孔質Si基板51上にMBE法により、Siエピタキシャル層52を0.5ミクロン低温成長させた。堆積条件は、以下のとおりである。

温度:700℃

圧力: 1×10^{-8} Torr

成長速度:0.1nm/sec

【0256】次に、このエピタキシャル層52の表面に光学研磨を施した熔融石英ガラス(fused quartz glass)基板を重ねあわせ、窒素雰囲気中で800℃、0.5時間加熱することにより、2つの基

48

体を、強固に貼り合わせた。減圧CVD法によってSi₃N₄を0.1μmの厚みで貼りあわせた2枚の基板を被覆した。次いで、多孔質基板51上の窒化膜54のみを反応性イオンエッチングによって除去した。次いでフッ硝酸酢酸溶液(1:3:8)を用いて多孔質Si基板51をエッチング除去した。すると、200ミクロンの厚みを持った多孔質化されたSi基板51は、2分で除去された。Si₃N₄層54を除去した後は、石英ガラス(fused quartz glass)基板53上に0.5μmの厚みを持った単結晶Si層52を有する基板が形成できた。

【0257】透過電子顕微鏡による断面観察の結果、Si層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【0258】(実施例34) 直径3inchで200ミクロンの厚みを持ったP型(100)単結晶Si基板に50%のHF溶液中において陽極化成を施した。この時の電流密度は、100mA/cm²であった。この時の多孔質化速度は、8.4μm/min.であり200ミクロンの厚みを持ったP型(100)Si基板全体は、24分で多孔質化された。

【0259】P型(100)多孔質Si基板51上にプラズマCVD法により、Siエピタキシャル層52を5ミクロンの厚みに成長させた。堆積条件は、以下のとおりである。

ガス:SiH₄

高周波電力:100W

温度:800℃

圧力: 1×10^{-8} Torr

成長速度:2.5nm/sec

【0260】次に、このエピタキシャル層52の表面に光学研磨を施した500℃近辺に軟化点のあるガラス基板53を重ねあわせ、窒素雰囲気中で450℃、0.5時間加熱することにより、2つの基板を、強固に貼り合わせた。減圧CVD法によってSi₃N₄を0.1μmの厚みに貼りあわせた2つの基板に被覆した。次いで多孔質基板51上の窒化膜54のみを反応性イオンエッチングによって除去した。次いでKOH 6M溶液を用いて多孔質化Si基板をエッチング除去した。すると、200ミクロンの厚みを持った多孔質化されたSi基板は、2分で除去された。Si₃N₄層を除去した後は、低軟化点ガラス基板53上に5μmの厚みを持った単結晶Si層52が形成できた。

【0261】(実施例35) 直径3inchで200ミクロンの厚みを持ったP型(100)単結晶Si基板に50%のHF溶液中において陽極化成を施した。この時の電流密度は、100mA/cm²であった。この時の多孔質化速度は、8.4μm/min.であり200ミクロンの厚みを持ったP型(100)Si基板全体は、24分で多孔質化された。

【0262】P型(100)多孔質Si基体51上にバイアススパッター法により、Siエピタキシャル層を1.0ミクロンの厚みに成長させた。堆積条件は、以下のとおりである。

RF周波数:100MHz

高周波電力:600W

温度:300℃

Arガス圧力: 8×10^{-3} Torr

成長速度:120分

ターゲット直流バイアス:-200V

基体直流バイアス:+5V

【0263】次に、このエピタキシャル層52の表面に光学研磨を施した500℃近辺に軟化点のあるガラス基体53を重ねあわせ、窒素雰囲気中で450℃、0.5時間加熱することにより、2つの基体を強固に貼り合わせた。減圧CVD法によって Si_3N_4 を0.1μmの厚みに貼りあわせた2枚の基体を被覆した。次いで、多孔質基体上の窒化膜のみを反応性イオンエッチングによって除去した。その後フッ硝酸酢酸溶液(1:3:8)を用いて多孔質Si基体51をエッチング除去した。すると、200ミクロンの厚みをもった多孔質化されたSi基体51は、2分で除去された。 Si_3N_4 層54を除去した後は、低融点ガラス基体上に1.0μmの厚みを持った単結晶Si層52を有する基体が形成できた。また、 Si_3N_4 層の代わりに、アビエゾンワックスを被覆した場合にも同様の効果があり、多孔質化されたSi基体51のみを除去し得た。

【0264】又、得られた単結晶Si層の厚みを走査型エリブソメトリーを用いて調べたところ、3inchウエハの面内において単結晶Si層の厚みの最大値と最小値の差は、厚みの最大値に対して5%以下に抑えられていた。

【0265】又、透過電子顕微鏡による単結晶Si層の平面観察の結果、転移欠陥密度は $1 \times 10^5/cm^2$ 以下に抑えられており、単結晶Si層形成工程において、新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。又、単結晶Si層につき、MOS-c-t法を用いて少数キャリアのライフタイムを測定したところ、 $2.0 \times 10^{-3}sec$ という高い値を示した。

【0266】(実施例36)直径3inchで200ミクロンの厚みを持ったP型(100)単結晶Si基体に50%のHF溶液中において陽極化成を施した。この時の電流密度は、 $100mA/cm^2$ であった。この時の多孔質化速度は、 $8.4\mu m/min$ 、であり200ミクロンの厚みを持ったP型(100)Si基体全体は、24分で多孔質化された。

【0267】P型(100)多孔質Si基体51上に液相成長法により、Siエピタキシャル層を10ミクロンの厚みに成長させた。成長条件は、以下のとおりであ

る。

溶媒:Sn

成長温度:900℃

成長雰囲気: H_2

成長時間:20分

【0268】次に、このエピタキシャル層52の表面に光学研磨を施した800℃近辺に軟化点のあるガラス基体53を重ねあわせ、窒素雰囲気中で750℃、0.5時間加熱することにより、2つの基体は、強固に貼り合わされた。減圧CVD法によって Si_3N_4 を0.1μmの厚みに貼りあわせた2枚の基体を被覆した。その後多孔質基体上の窒化膜のみを反応性イオンエッチングによって除去した。次いでフッ硝酸酢酸溶液(1:3:8)を用いて多孔質Si基体をエッチング除去した。すると、200ミクロンの厚みをもった多孔質化されたSi基体51は、2分で除去された。 Si_3N_4 層54を除去した後は、ガラス基体53上に10μmの厚みを持った単結晶Si層52を有する基体が形成できた。また、 Si_3N_4 層の代わりに、アビエゾンワックスを被覆した場合にも同様の効果があり、多孔質化されたSi基体のみを完全に除去し得た。

【0269】(実施例37)直径3inchで200ミクロンの厚みを持ったP型(100)単結晶Si基体に50%のHF溶液中において陽極化成を施した。この時の電流密度は、 $100mA/cm^2$ であった。この時の多孔質化速度は、 $8.4\mu m/min$ 、であり200ミクロンの厚みを持ったP型(100)Si基体全体は、24分で多孔質化された。

【0270】P型(100)多孔質Si基体51上に減圧CVD法により、Siエピタキシャル層52を1.0ミクロンの厚みで成長させた。堆積条件は、以下のとおりである。

ソースガス: SiH_4 800SCCM

キャリアーガス: H_2 150l/min.

温度:850℃

圧力: 1×10^{-3} Torr

成長速度:3.3nm/sec

【0271】次に、このエピタキシャル層52の表面に光学研磨を施した熔融石英ガラス基体53を重ねあわせ、窒素雰囲気中で800℃、0.5時間加熱することにより、2つの基体は、強固に貼り合わせた。

【0272】減圧CVD法によって Si_3N_4 を0.1μmの厚みで堆積させて貼りあわせた2枚の基体を被覆した。その後、多孔質基体上の窒化膜のみを反応性イオンエッチングによって除去した。次いでフッ硝酸酢酸溶液を用いて多孔質Si基体51をエッチング除去した。すると、200ミクロンの厚みをもった多孔質化されたSi基体は、2分で除去された。 Si_3N_4 層を除去した後は、石英ガラス基体53上に1.0μmの厚みを持った単結晶Si層52を有する基体が形成できた。ソース

ガスとして、 SiH_2Cl_2 をもちいた場合には、成長温度を数十度上昇させる必要があるが、多孔質基体に特有な増速エッチング特性は、維持された。

【0273】(実施例38) 直径4inchで300ミクロンの厚みを持ったP型(100) Si基体151上にCVD法により、Siエピタキシャル層152を1ミクロンの厚みに成長させた。堆積条件は、以下のとおりである。

反応ガス流量: SiH_2Cl_2 : 1000SCCM

H_2 : 230l/min.

温度: 1080℃

圧力: 80 Torr

時間: 2min.

【0274】この基体に50%のHF溶液中において陽極化成を施した。この時の電流密度は、100mA/cm²であった。又、この時の多孔質化速度は、8.4μm/min.であり、300ミクロンの厚みを持ったP型(100) Si基体151全体は、36分で多孔質化された。前述したようにこの陽極化成では、P型(100) Si基体151のみが多孔質化され、Siエピタキシャル層152には変化がなかった。次に、このエピタキシャル層152の表面に光学研磨を施した熔融石英ガラス基体154を重ねあわせ、窒素雰囲気中で800℃、0.5時間加熱することにより、2つの基体を強固に貼り合わせた。減圧CVD法によって Si_3N_4 を0.1μmの厚みで堆積させて、貼りあわせた2つの基体を被覆した。その後、多孔質基体153上の窒化膜155のみを反応性イオンエッチングによって除去した。次いでフッ硝酸酢酸溶液(1:3:8)を用いて多孔質Si基体をエッチング除去した。すると、300ミクロンの厚みをもった多孔質化されたSi基体153は、4分で除去された。 Si_3N_4 層155を除去した後は、石英ガラス基体154上に1μmの厚みを持った単結晶Si層152を有する基体が形成できた。透過電子顕微鏡による断面観察の結果、Si層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【0275】(実施例39) 直径3inchで200ミクロンの厚みを持ったP型(100) Si基体151上にCVD法により、Siエピタキシャル層152を0.5ミクロンの厚みに成長させた。堆積条件は、以下のとおりである。

反応ガス流量: SiH_2Cl_2 : 1000SCCM

H_2 : 230l/min.

温度: 1080℃

圧力: 80 Torr

時間: 1min.

【0276】この基体に50%のHF溶液中において陽極化成を施した。この時の電流密度は、100mA/cm²であった。この時の多孔質化速度は、8.4μm/

min.であり200ミクロンの厚みを持ったP型(100) Si基体151全体は、24分で多孔質化された。この陽極化成では、P型(100) Si基体のみが多孔質化されSiエピタキシャル層152には変化がなかった。

【0277】次に、このエピタキシャル層152の表面に光学研磨を施した熔融石英ガラス基体154を重ねあわせ、窒素雰囲気中で800℃、0.5時間加熱することにより、2つの基体を、強固に貼り合わせた。減圧CVD法によって Si_3N_4 を0.1μmの厚みで堆積させて、貼りあわせた2枚の基体を被覆した。その後、多孔質基体153上の窒化膜155のみを反応性イオンエッチングによって除去した。次いでフッ硝酸酢酸溶液(1:3:8)を用いて多孔質Si基体をエッチング除去した。すると、200ミクロンの厚みをもった多孔質化されたSi基体153は、2分で除去された。 Si_3N_4 層155を除去した後は、ガラス基体154上に0.5μmの厚みを持った単結晶Si層152を有する基体が形成できた。透過電子顕微鏡による断面観察の結果、Si層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【0278】(実施例40) 直径4inchで300ミクロンの厚みを持ったP型(100) Si基体151の表面にプロトンのイオン注入によって、N型Si層152を1ミクロンの厚みで形成した。 H^+ 注入量は、 5×10^{15} (ions/cm²)であった。この基体に50%のHF溶液中において陽極化成を施した。この時の電流密度は、100mA/cm²であった。この時の多孔質化速度は、8.4μm/min.であり、300ミクロンの厚みを持ったP型(100) Si基体151全体は、37分で多孔質化された。この陽極化成では、P型(100) Si基体のみが多孔質化され、N型Si層152には変化がなかった。次に、このN型Si層152の表面に光学研磨を施した熔融石英ガラス基体154を重ねあわせ、窒素雰囲気中で800℃、0.5時間加熱することにより、2つの基体を、強固に貼り合わせた。

【0279】減圧CVD法によって Si_3N_4 を0.1μmの厚みに堆積させて貼りあわせた2枚の基体を被覆した。次いで、多孔質基体153上の窒化膜155のみを反応性イオンエッチングによって除去した。次いでフッ硝酸酢酸溶液を用いて多孔質Si基体をエッチング除去した。すると、300ミクロンの厚みをもった多孔質化されたSi基体151は、4分で除去された。 Si_3N_4 層155を除去した後は、ガラス基体154上に1.0μmの厚みを持った単結晶Si層152を有する基体が形成できた。

【0280】又、得られた単結晶Si層の厚みを走査型エリプソメトリーを用いて調べたところ、4inchウエハの面内において単結晶Si層の厚みの最大値と最小値の差は、厚みの最大値に対して6%以下に抑えられ

ていた。

【0281】又、透過電子顕微鏡による単結晶Si層の平面観察の結果、転移欠陥密度は $1 \times 10^3 / \text{cm}^2$ 以下に抑えられており、単結晶Si層形成工程において、新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。又、単結晶Si層につき、MOS c-t法を用いて少数キャリアのライフタイムを測定したところ、 $2.2 \times 10^{-3} \text{sec}$ という高い値を示した。

【0282】つまり、本発明によれば、ガラスに代表される光透過性絶縁物基体上にも、結晶性が単結晶ウエハー並に優れたSi結晶層を得るうえで、生産性、均一性、制御性、経済性の面において優れた半導体基体の形成方法を提供することができる。更に本発明によれば、従来のSOIデバイスの利点を活用し得、応用範囲の広い半導体基体の形成方法を提供することができる。

【0283】(実施例41) 直径3inchで200ミクロンの厚みを持ったP型(100)単結晶Si基体に50%のHF溶液中において陽極化成を施した。この時の電流密度は、 $100 \text{mA} / \text{cm}^2$ であった。この時の多孔質化速度は、 $8.4 \mu\text{m} / \text{min.}$ であり200ミクロンの厚みを持ったP型(100)Si基体全体は、24分で多孔質化された。

【0284】P型(100)多孔質Si基体61上にMBE法により、Siエピタキシャル層62を0.5ミクロンの厚みに成長させた。堆積条件は、以下のとおりである。

温度：700℃

圧力： $1 \times 10^{-3} \text{Torr}$

成長速度：0.1nm/sec

【0285】次に、このエピタキシャル層62の表面に光学研磨を施した熔融石英ガラス基体63を重ねあわせ、窒素雰囲気中で800℃、0.5時間加熱することにより、2つの基体を、強固に貼り合わせた。次いで、フッ硝酸酢酸溶液を用いて多孔質Si基体61をエッチング除去した。すると、200ミクロンの厚みを持った多孔質化されたSi基体61は、2分で除去された。石英ガラス基体63上に0.5μmの厚みを持った単結晶Si層62を有する基体が形成できた。透過電子顕微鏡による断面観察の結果、Si層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【0286】(実施例42) 直径3inchで200ミクロンの厚みを持ったP型(100)単結晶Si基体に50%のHF溶液中において陽極化成を施した。この時の電流密度は、 $100 \text{mA} / \text{cm}^2$ であった。この時の多孔質化速度は、 $8.4 \mu\text{m} / \text{min.}$ であり200ミクロンの厚みを持ったP型(100)Si基体全体は、24分で多孔質化された。P型(100)多孔質Si基体61上にプラズマCVD法により、Siエピタキシャ

ル層62を5ミクロンの厚みで成長させた。堆積条件は、以下のとおりである。

ガス：SiH₄

高周波電力：100W

温度：800℃

圧力： $1 \times 10^{-3} \text{Torr}$

成長速度：2.5nm/sec

【0287】次に、このエピタキシャル層62の表面に光学研磨を施した500℃近辺に軟化点のあるガラス基体を重ねあわせ、窒素雰囲気中で450℃、0.5時間加熱することにより、2つの基体を、強固に貼り合わせた。次いでKOH、6M溶液を用いて多孔質Si基体61をエッチング除去した。すると、200ミクロンの厚みを持った多孔質化されたSi基体61は、2分で除去された。低軟化点ガラス基体63上に5μmの厚みを持った単結晶Si層62を有する基体が形成できた。

【0288】(実施例43) 直径3inchで200ミクロンの厚みを持ったP型(100)単結晶Si基体に50%のHF溶液中において陽極化成を施した。この時の電流密度は、 $100 \text{mA} / \text{cm}^2$ であった。この時の多孔質化速度は、 $8.4 \mu\text{m} / \text{min.}$ であり200ミクロンの厚みを持ったP型(100)Si基体全体は、24分で多孔質化された。

【0289】P型(100)多孔質Si基体61上にバイアスパッター法により、Siエピタキシャル層62を1.0ミクロンの厚みに成長させた。堆積条件は、以下のとおりである。

RF周波数：100MHz

高周波電力：600W

温度：300℃

Arガス圧力： $8 \times 10^{-3} \text{Torr}$

成長速度：120分

ターゲット直流バイアス：-200V

基体直流バイアス：+5V

【0290】次に、このエピタキシャル層62の表面に光学研磨を施した500℃近辺に軟化点のあるガラス基体63を重ねあわせ、窒素雰囲気中で450℃、0.5時間加熱することにより、2つの基体を強固に貼り合わせた。次いでNaOH 7M溶液を用いて多孔質Si基体61をエッチング除去した。

【0291】前述したように通常のSi単結晶の7M NaOH溶液にたいするエッチング速度は、約毎分1ミクロン程度であるが、多孔質層のエッチング速度はその百倍ほど増速される。すなわち、200ミクロンの厚みを持った多孔質化されたSi基体61は、2分で除去された。低融点ガラス基体63上に1.0μmの厚みを持った単結晶Si層62を有する基体が形成できた。

【0292】又、得られた単結晶Si層の厚みを走査型エリブソメトリーを用いて調べたところ、3inchウエハーの面内において単結晶Si層の厚みの最大値と最

55

小値の差は、厚みの最大値に対して5%以下に抑えられていた。

【0293】又、透過電子顕微鏡による単結晶Si層の平面観察の結果、転移欠陥密度は $1 \times 10^3 / \text{cm}^2$ 以下に抑えられており、単結晶Si層形成工程において、新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。又、単結晶Si層につき、MOS c-t法を用いて少数キャリアのライフタイムを測定したところ、 $2.1 \times 10^{-8} \text{sec}$ という高い値を示した。

【0294】(実施例44) 直径31inchで200ミクロンの厚みを持ったP型(100)単結晶Si基体に50%のHF溶液中において陽極化成を施した。この時の電流密度は、 $100 \text{mA} / \text{cm}^2$ であった。この時の多孔質化速度は、 $8.4 \mu\text{m} / \text{min}$ であり200ミクロンの厚みを持ったP型(100)Si基体全体は、24分で多孔質化された。

【0295】P型(100)多孔質Si基体61上に液相成長法により、Siエピタキシャル層62を10ミクロンの厚みに成長させた。成長条件は、以下のとおりである。

溶媒: Sn

成長温度: 900°C

成長雰囲気: H_2

成長時間: 20分

【0296】次に、このエピタキシャル層62の表面に光学研磨を施した 800°C 近辺に軟化点のあるガラス基体63を重ねあわせ、窒素雰囲気中で 750°C 、0.5時間加熱することにより、2つの基体を、強固に貼り合わせた。次いでフッ硝酸酢酸溶液を用いて多孔質Si基体61をエッチング除去した。すると、200ミクロンの厚みを持った多孔質化されたSi基体61は、2分で除去された。ガラス基体63上に $10 \mu\text{m}$ の厚みを持った単結晶Si層62を有する基体が形成できた。

【0297】(実施例45) 直径31inchで200ミクロンの厚みを持ったP型(100)単結晶Si基体に50%のHF溶液中において陽極化成を施した。この時の電流密度は、 $100 \text{mA} / \text{cm}^2$ であった。この時の多孔質化速度は、 $8.4 \mu\text{m} / \text{min}$ であり200ミクロンの厚みを持ったP型(100)Si基体全体は、24分で多孔質化された。

【0298】P型(100)多孔質Si基体61上に減圧CVD法により、Siエピタキシャル層52を $1.0 \mu\text{m}$ の厚みに成長させた。堆積条件は、以下のとおりである。

ソースガス: SiH_4 800SCCM

キャリアーガス: H_2 $150 \text{l} / \text{min}$

温度: 850°C

圧力: $1 \times 10^{-2} \text{Torr}$

成長速度: $3.3 \text{nm} / \text{sec}$

56

【0299】次に、このエピタキシャル層62の表面に光学研磨を施した熔融石英ガラス基体63を重ねあわせ、窒素雰囲気中で 800°C 、0.5時間加熱することにより、2つの基体は、強固に貼り合わせた。次いで、フッ硝酸酢酸溶液を用いて多孔質Si基体61をエッチング除去した。すると、200ミクロンの厚みを持った多孔質化されたSi基体61は、2分で除去された。石英ガラス基体63上に $1.0 \mu\text{m}$ の厚みを持った単結晶Si層62を有する基体が形成できた。ソースガスとして、 SiH_2Cl_2 をもちいた場合には、成長温度を数十度上昇させる必要があるが、多孔質基体に特有な増速エッチング特性は、維持された。

【0300】(実施例46) 直径41inchで300ミクロンの厚みを持ったP型(100)Si基体161上にCVD法により、Siエピタキシャル層162を1ミクロンの厚みに成長させた。堆積条件は、以下のとおりである。

反応ガス流量: SiH_2Cl_2 1000SCCM

H_2 $230 \text{l} / \text{min}$

温度: 1080°C

圧力: 80Torr

時間: 2min.

【0301】この基体を50%のHF溶液中において陽極化成を行った。この時の電流密度は、 $100 \text{mA} / \text{cm}^2$ であった。又、この時の多孔質化速度は、 $8.4 \mu\text{m} / \text{min}$ であり300ミクロンの厚みを持ったP型(100)Si基体161全体は、37分で多孔質化された。この陽極化成では、P型(100)Si基体161のみが多孔質化され、Siエピタキシャル層162には変化がなかった。次に、このエピタキシャル層の表面に光学研磨を施した熔融石英ガラス基体164を重ねあわせ、窒素雰囲気中で 800°C 、0.5時間加熱することにより、2つの基体を、強固に貼り合わせた。次いでフッ硝酸酢酸溶液(1:3:8)を用いて多孔質Si基体163をエッチング除去した。すると、300ミクロンの厚みを持った多孔質化されたSi基体163は、4分で除去された。石英ガラス基体164上に $1 \mu\text{m}$ の厚みを持った単結晶Si層162を有する基体が形成できた。

【0302】又、得られた単結晶Si層の厚みを走査型エリプソメトリーを用いて調べたところ、41inchウエハの面内において単結晶Si層の厚みの最大値と最小値の差は、厚みの最大値に対して7%以下に抑えられていた。

【0303】又、透過電子顕微鏡による単結晶Si層の平面観察の結果、転移欠陥密度は $1 \times 10^3 / \text{cm}^2$ 以下に抑えられており、単結晶Si層形成工程において、新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。又、単結晶Si層につき、MOS c-t法を用いて少数キャリアのライフ

タイムを測定したところ、 2.0×10^{-3} sec という高い値を示した。

【0304】(実施例47) 直径3 inchで200ミクロンの厚みを持ったP型(100) Si基体161上にCVD法により、Siエピタキシャル層162を0.5ミクロンの厚みで成長させた。堆積条件は、以下のとおりである。

反応ガス流量: SiH_2Cl_2 : 1000 SCCM

H_2 : 230 l/min.

温度: 1080°C

圧力: 80 Torr

時間: 1 min.

【0305】この基体に50%のHF溶液中において陽極化成を施した。この時の電流密度は、 100 mA/cm^2 であった。この時の多孔質化速度は、 $8.4 \mu\text{m/min}$ であり200ミクロンの厚みを持ったP型(100) Si基体全体161は、24分で多孔質化された。この陽極化成では、P型(100) Si基体161のみが多孔質化されSiエピタキシャル層162には変化がなかった。次に、このエピタキシャル層162の表面に光学研磨を施した熔融石英ガラス基体164を重ねあわせ、窒素雰囲気中で800°C、0.5時間加熱することにより、2つの基体を、強固に貼り合わせた。次いでフッ硝酸酢酸溶液を用いて多孔質Si基体163をエッチング除去した。すると、200ミクロンの厚みをもった多孔質化されたSi基体は、2分で除去された。ガラス基体上に0.5 μm の厚みを持った単結晶Si層が形成できた。透過電子顕微鏡による断面観察の結果、Si層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【0306】(実施例48) 直径3 inchで200ミクロンの厚みを持ったP型(100) Si基体161上の表面にプロトンのイオン注入によって、N型Si層162を1ミクロンの厚みに形成した。 H^+ 注入量は、 5×10^{-1} (ions/cm²)であった。この基体に50%のHF溶液中において陽極化成を施した。この時の電流密度は、 100 mA/cm^2 であった。この時の多孔質化速度は、 $8.4 \mu\text{m/min}$ であり、200ミクロンの厚みを持ったP型(100) Si基体161全体は、24分で多孔質化された。この陽極化成では、P型(100) Si基体161のみが多孔質化されN型Si層162には変化がなかった。次に、このエピタキシャル層162の表面に光学研磨を施した熔融石英ガラス基体164を重ねあわせ、窒素雰囲気中で800°C、0.5時間加熱することにより、2つの基体を、強固に貼り合わせた。次いでフッ硝酸酢酸溶液(1:3:8)を用いて多孔質Si基体163をエッチング除去した。すると、200ミクロンの厚みをもった多孔質化されたSi基体163は、2分で除去された。ガラス基体164上に1.0 μm の厚みを持った単結晶Si層162が形成

できた。透過電子顕微鏡による断面観察の結果、Si層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【0307】(実施例49) 直径6 inchで600ミクロンの厚みを持ったP型(100) 単結晶Si基体に50%のHF溶液中において陽極化成を施した。この時の電流密度は、 10 mA/cm^2 であった。10分で表面に20ミクロンの厚みを持った多孔質層が形成された。該P型(100) 多孔質Si基体上に減圧CVD法により、Siエピタキシャル層を0.5ミクロンの厚みに成長させた。堆積条件は、以下のとおりである。

ガス: SiH_2Cl_2 : (0.6 l/min)、 H_2 : (100 l/min)

温度: 850°C

圧力: 50 Torr

成長速度: 0.1 $\mu\text{m/min}$.

【0308】次に、このエピタキシャル層の表面を50 nm熱酸化した。こうして得られた熱酸化膜上に0.8ミクロンの酸化層を表面に有する別のシリコン基体を重ねあわせ、窒素雰囲気中で900°C、1.5時間加熱することにより、2つの基体を強固に貼り合わせた。

【0309】そののちに、シリコン基体の裏面側から580ミクロンの研削研磨を施し、多孔質層を表出させた。

【0310】プラズマCVD法によって Si_3N_4 を0.1 μm の厚みに堆積させて、貼りあわせた2つの基体を被覆した。次いで、多孔質基体上の窒化膜のみを反応性イオンエッチングによって除去した。

【0311】その後、該貼り合わせた基体をフッ硝酸酢酸溶液を用いて選択エッチングした。15分後には、単結晶Si層だけがエッチングされずに残り、単結晶Siエッチング・ストップの材料として、多孔質Si層は選択エッチングされ、完全に除去された。

【0312】非多孔質Si単結晶の該エッチング液にたいするエッチング速度は、極めて低く15分後でも40 Å程度であり、多孔質層のエッチング速度との選択比は非常に大きく、非多孔質Si層におけるエッチング量は実用上無視できる程度であった。 Si_3N_4 層を除去した後には、絶縁層を表面に有するシリコン基体上に0.5 μm の厚みを持った単結晶Si層が形成できた。

【0313】また、 Si_3N_4 層の代わりに、アビエソソックス、或いは、エレクトロソックスを被覆した場合にも同様の効果があり、多孔質化されたSi層のみを完全に除去した。

【0314】又、得られた単結晶Si層の厚みを走査型エリブソメトリーを用いて調べたところ、6 inchウエハーの面内において単結晶Si層の厚みの最大値と最小値の差は、厚みの最大値に対して10%以下に抑えられていた。

【0315】又、透過電子顕微鏡による単結晶Si層の

平面観察の結果、転移欠陥密度は $1 \times 10^3 / \text{cm}^2$ 以下に抑えられており、単結晶Si層形成工程において、新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。又、単結晶Si層につき、MOS c-t法を用いて少数キャリアのライフタイムを測定したところ、 $2.0 \times 10^{-7} \text{sec}$ という高い値を示した。

【0316】

【発明の効果】以上、詳述したように、本発明の半導体部材は、絶縁物上にキャリアライフタイムが大きく欠陥の極めて少ない単結晶半導体領域を優れた膜厚の均一性をもって有するものであり、種々の半導体デバイスに適用可能なものである。又、本発明の半導体部材は高速応答が可能で信頼性に富んだ半導体デバイスに適用可能である。又、本発明の半導体部材は、高価なSOSやSIMOXの代替足り得るものである。

【0317】本発明の半導体部材の製造方法は、絶縁物上に結晶性が単結晶ウエハー並に優れたSi結晶層を得るうえで、生産性、均一性、制御性、経済性の面において卓越した方法を提供するものである。

【0318】更に、本発明の半導体部材の製造方法によれば、従来のSOIデバイスの利点を実現し、応用可能な半導体部材の製造方法を提供することができる。

【0319】また、本発明の半導体部材の製造方法によれば、SOI構造の大規模集積回路を作製する際にも、高価なSOSやSIMOXの代替足り得る半導体部材の製造方法を提供することができる。

【0320】本発明の半導体部材の製造方法は、実施例にも詳細に記述したように、処理を短時間に効率良く行

うことが可能となり、その生産性と経済性に優れている。

【図面の簡単な説明】

【図1】本発明の半導体部材の製造方法の工程の1例を模式的に示した模式図である。

【図2】本発明の半導体部材の製造方法の工程の1例を模式的に示した模式図である。

【図3】本発明の半導体部材の製造方法の工程の1例を模式的に示した模式図である。

【図4】本発明の半導体部材の製造方法の工程の1例を模式的に示した模式図である。

【図5】本発明の半導体部材の製造方法の工程の1例を模式的に示した模式図である。

【図6】本発明の半導体部材の製造方法の工程の1例を模式的に示した模式図である。

【図7】本発明の半導体部材の製造方法の工程の1例を模式的に示した模式図である。

【図8】本発明の半導体部材の製造方法の工程の1例を模式的に示した模式図である。

【図9】本発明の半導体部材の製造方法の工程の1例を模式的に示した模式図である。

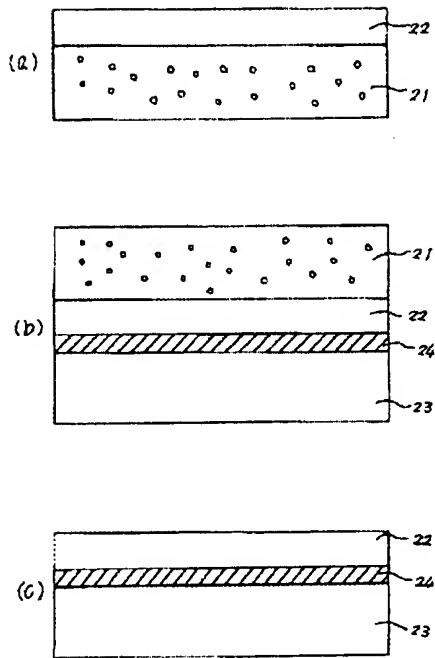
【図10】本発明の半導体部材の製造方法の工程の1例を模式的に示した模式図である。

【図11】本発明の半導体部材の製造方法の工程の1例を模式的に示した模式図である。

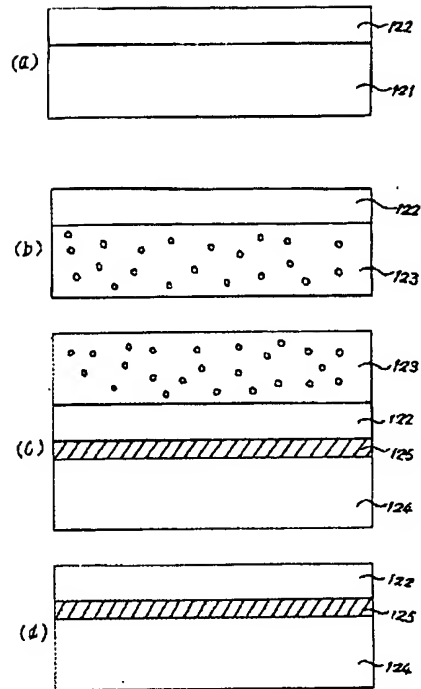
【図12】本発明の半導体部材の製造方法の工程の1例を模式的に示した模式図である。

【図13】本発明の半導体部材の製造方法の工程の1例を模式的に示した模式図である。

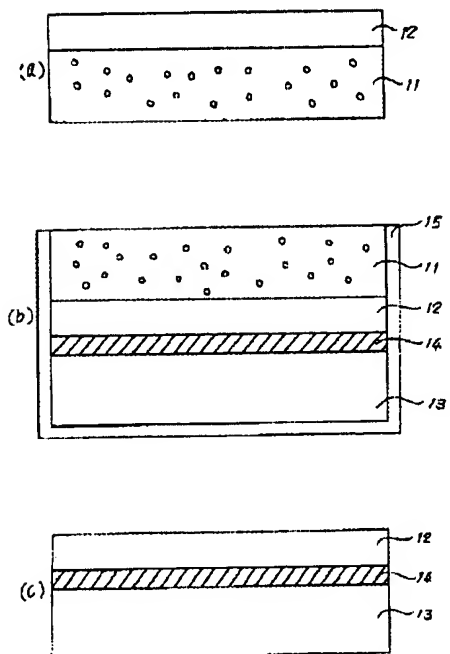
【図1】



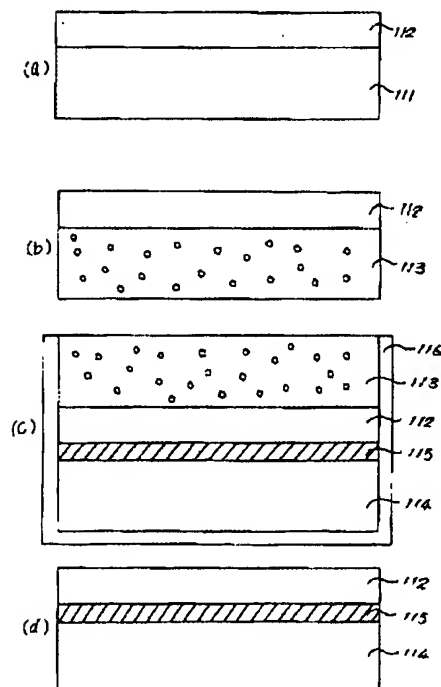
【図2】



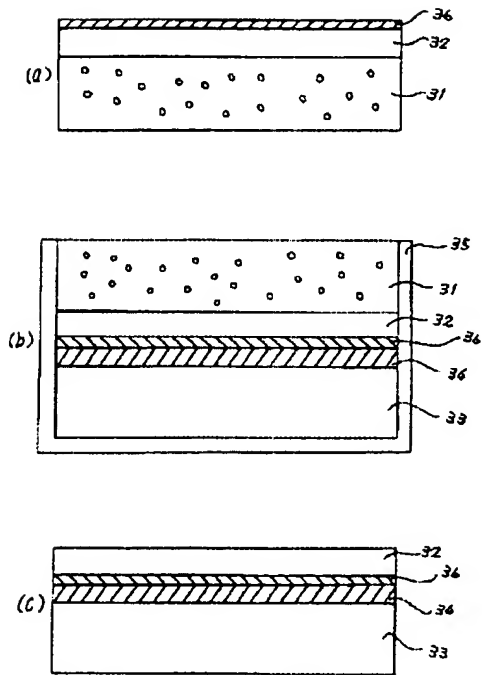
【図3】



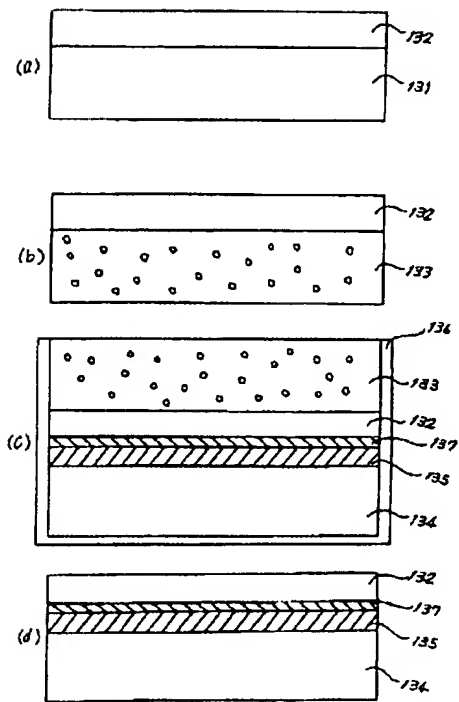
【図4】



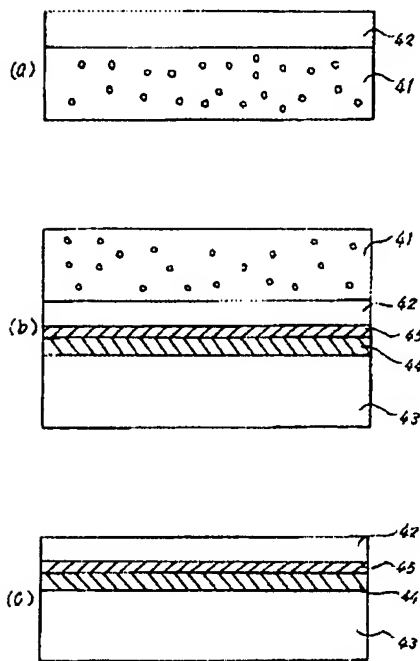
【図5】



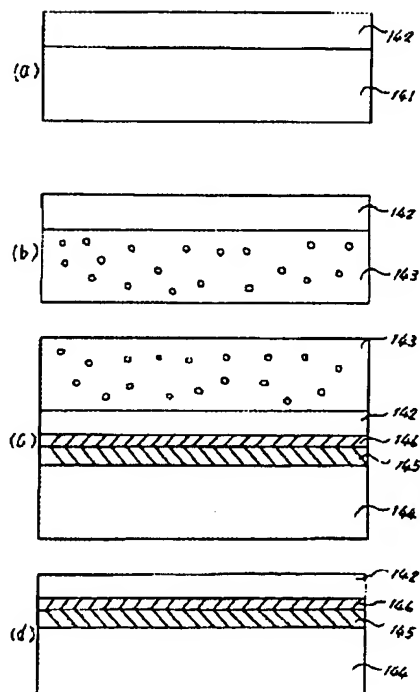
【図6】



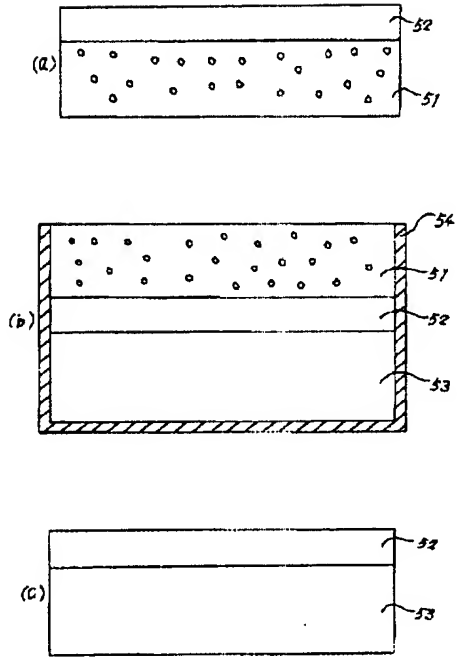
【図7】



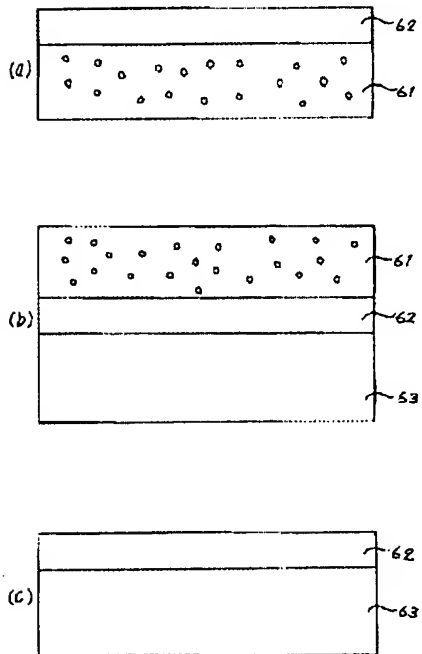
【図8】



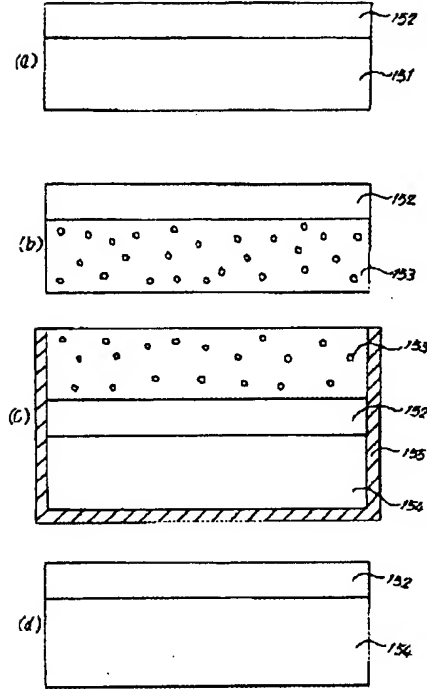
【図9】



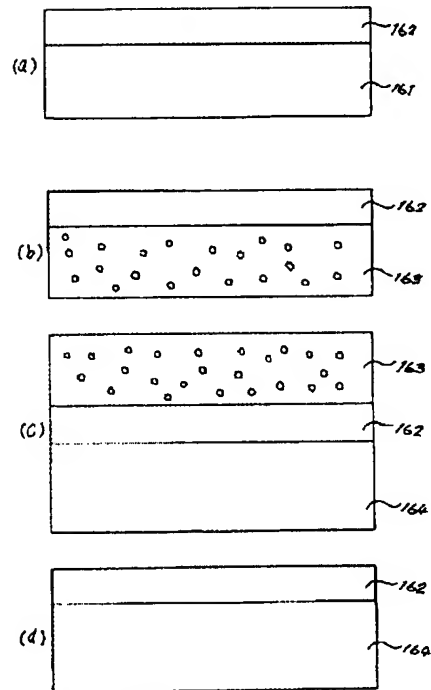
【図11】



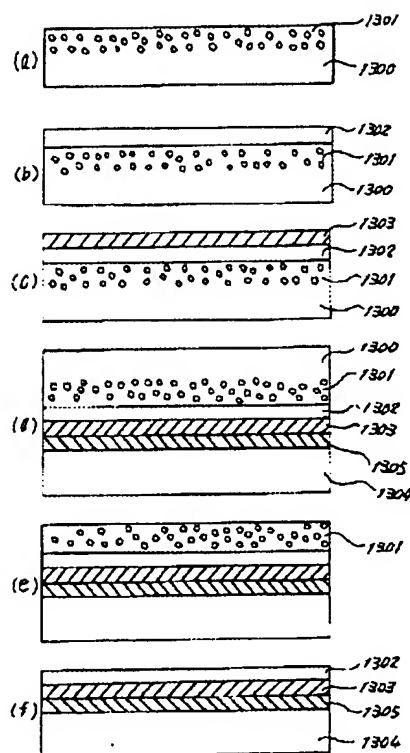
【図10】



【図12】



【図13】



フロントページの続き

(51) Int. Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

C 3 0 B 25/02

Z 9040-4G

H 0 1 L 21/02

B 8518-4M

21/306

B 7342-4M

21/316

Z 8518-4M

21/76

D 9169-4M

27/12

Z 8728-4M

// H 0 1 L 21/304

3 2 1 M 8831-4M

THIS PAGE BLANK (USPTO)